

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010120

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G02F 1/136

G02F 1/1335

(21)Application number : 10-176242

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.06.1998

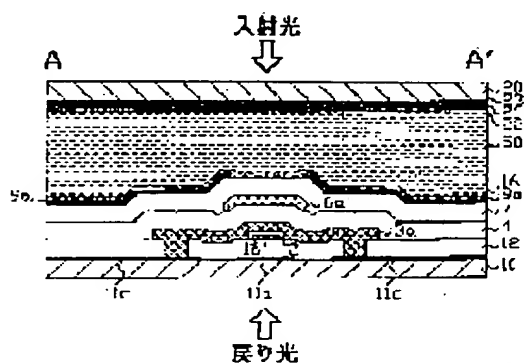
(72)Inventor : MURAIDE MASAO

(54) LIQUID CRYSTAL DEVICE AND ELECTRONIC APPLIANCE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high-quality image display by relatively simple constitution using light shielding films with a liquid crystal device of a type provided with these light shielding film on the lower side of TFTs.

SOLUTION: This liquid crystal device has a liquid crystal layer held between a pair of substrates and pixel electrodes 9a disposed in a matrix form on the substrate for the liquid crystal device. The island-shaped first light shielding films 11c consisting of a high melting metal lined up in a scanning line direction are respectively electrically connected via contact holes (18) to island-shaped scanning line pats 3a likewise lined up in the scanning line direction, by which one scanning line (300a) is formed. As a result, the resistance of the scanning lines is lowered.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-10120

(P2000-10120A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	2 H 0 9 1
1/1335		1/1335	2 H 0 9 2

審査請求 未請求 請求項の数16 O L (全 26 頁)

(21)出願番号 特願平10-176242

(22)出願日 平成10年6月23日(1998.6.23)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

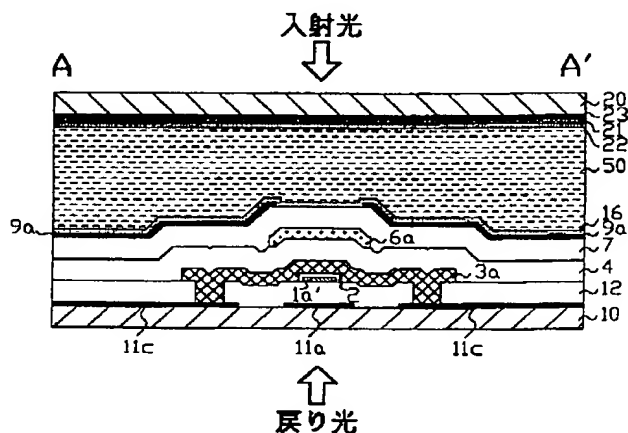
最終頁に続く

(54)【発明の名称】 液晶装置及び電子機器

(57)【要約】

【課題】 T F Tの下側に遮光膜を設けた形式の液晶装置において、この遮光膜を用いた比較的簡易な構成により、高品質の画像表示を可能にする。

【解決手段】 液晶装置は、一対の基板間に挟持された液晶層と、液晶装置用基板にマトリクス状に設けられた画素電極(9a)とを備える。走査線方向に並べられた高融点金属からなる島状の第1遮光膜(11c)が、同じく走査線方向に並べられた島状の走査線部(3a)にコンタクトホール(18)を介して夫々電氣的接続されて一本の走査線(300a)とされる。これにより、走査線が低抵抗化される。



【特許請求の範囲】

【請求項 1】 一対の基板間に液晶が挟持されてなり、該一対の基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記複数の薄膜トランジスタの少なくともチャンネル領域を前記一方の基板の側から見て夫々覆う位置に設けられている導電性の遮光膜と、該遮光膜と前記薄膜トランジスタとの間に介在する第 1 層間絶縁膜とを備え、

前記走査線の少なくとも一部は前記遮光膜と同一膜からなることを特徴とする液晶装置。

【請求項 2】 前記走査線は、導電性のポリシリコン膜から形成されており、前記遮光膜は、前記ポリシリコン膜にコンタクトホールを介して電気的接続された前記走査線の冗長配線及び中継配線のうち少なくとも一つとして配設された第 1 遮光膜を有することを特徴とする請求項 1 に記載の液晶装置。

【請求項 3】 前記遮光膜は、前記走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第 1 遮光膜と、該第 1 遮光膜から電気的絶縁されており少なくとも前記チャンネル領域を覆う位置に設けられた前記遮光膜からなる第 2 遮光膜とを有することを特徴とする請求項 1 又は 2 に記載の液晶装置。

【請求項 4】 前記走査線は、該走査線に沿って並ぶ前記複数の薄膜トランジスタのゲート電極を夫々含むと共に相互に分断された複数の島状配線部からなり、前記第 1 遮光膜は、前記複数の島状配線部を相互に電気的接続することを特徴とする請求項 2 又は 3 に記載の液晶装置。

【請求項 5】 前記遮光膜は、前記走査線の本体として配設された第 1 遮光膜を有し、前記複数の薄膜トランジスタは、前記第 1 遮光膜にコンタクトホールを介して電気的接続された導電性のポリシリコン膜から形成されたゲート電極を有することを特徴とする請求項 1 又は 3 に記載の液晶装置。

【請求項 6】 前記遮光膜及び前記走査線は、前記複数の薄膜トランジスタの各々において、前記第 1 層間絶縁膜及びゲート絶縁膜を夫々介して前記チャンネル領域を挟んで対向配置されると共にコンタクトホールを介して相互に電気的接続された部分を夫々含むことを特徴とする請求項 1 に記載の液晶装置。

【請求項 7】 前記複数の走査線は夫々、次段の走査線に前記薄膜トランジスタを介して接続された前記画素電極に蓄積容量を付与するための一方の蓄積容量電極として機能する部分を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載の液晶装置。

【請求項 8】 前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線を更に備えたことを

特徴とする請求項 1 から 6 のいずれか一項に記載の液晶装置。

【請求項 9】 前記遮光膜は、前記走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第 1 遮光膜と、該第 1 遮光膜から電気的絶縁されており前記チャンネル領域を覆う位置に設けられた前記遮光膜の部分を含むと共に前記容量線を前記一方の基板の側から見て夫々覆う位置に設けられた第 2 遮光膜とを有し、前記容量線及び前記第 2 遮光膜は、定電位源に接続されていることを特徴とする請求項 8 に記載の液晶装置。

【請求項 10】 前記定電位源は、当該液晶装置を駆動するための周辺回路に供給される定電位源であることを特徴とする請求項 9 に記載の液晶装置。

【請求項 11】 前記第 2 遮光膜は、前記容量線の冗長配線、中継配線及び本体の少なくとも一つとして配設されてなることを特徴とする請求項 8 から 10 のいずれか一項に記載の液晶装置。

【請求項 12】 前記遮光膜は、前記走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第 1 遮光膜と、該第 1 遮光膜から電気的絶縁されており前記チャンネル領域を覆う位置に設けられた前記遮光膜の部分を含むと共に前記容量線及び前記複数のデータ線を前記一方の基板の側から見て夫々覆う位置に網目状に設けられた第 2 遮光膜とを有することを特徴とする請求項 8 に記載の液晶装置。

【請求項 13】 前記遮光膜は、前記複数の走査線を前記一方の基板の側から見て夫々覆う位置に縞状に設けられていることを特徴とする請求項 1 から 4 のいずれか一項に記載の液晶装置。

【請求項 14】 前記遮光膜は、前記複数の走査線を前記一方の基板の側から見て少なくとも部分的に夫々覆う位置に島状に設けられていることを特徴とする請求項 1 から 4 のいずれか一項に記載の液晶装置。

【請求項 15】 前記遮光膜は、Ti、Cr、W、Ta、Mo 及び Pd のうちの少なくとも一つを含むことを特徴とする請求項 1 から 14 のいずれか一項に記載の液晶装置。

【請求項 16】 請求項 1 から 15 のいずれか一項に記載の液晶装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下適宜、TFTと称する）駆動によるアクティブマトリクス駆動方式の液晶装置及びこれを用いた電子機器の技術分野に属し、特に、液晶プロジェクタ等に用いられる、TFTの下側に遮光膜を設けた形式の液晶装置及びこれを用いた電子機器の技術分野に属する。

【0002】

【従来の技術】従来、この種の液晶装置が液晶プロジェクタ等にライトバルブとして用いられる場合には、表示

画像の高品位化のために、以下に説明するような各種の技術が採用されている。

【0003】第1に、液晶装置がライトバルブとして用いられる場合には一般に、液晶層を挟んで液晶装置用基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光がTFTのa-Si（アモルファスシリコン）膜やp-Si（ポリシリコン）膜から構成されたチャネル形成用の領域に入射すると、この領域において光電変換効果により光電流が発生してしまい、TFTのトランジスタ特性が劣化する。このため、対向基板には、各TFTに夫々対向する位置に、Cr（クロム）などの金属材料や樹脂ブラックなどからブラックマトリクス或いはブラックマスクと呼ばれる遮光膜が形成されるのが一般的である。尚、この遮光膜は、各画素の開口領域（即ち、投射光が透過する領域）を規定することにより、TFTのp-Si層に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を果たしている。

【0004】ここで特に、この種の液晶装置において、トップゲート構造（即ち、液晶装置用基板上においてゲート電極がチャネルの上側に設けられた構造）を採る正スタガ型又はコプラナー型のa-Si又はp-SiTFTを用いる場合には、投射光の一部が液晶プロジェクト内の投射光学系により戻り光として、液晶装置用基板の側からTFTのチャネルに入射するのを防ぐ必要がある。同様に、投射光が通過する際の液晶装置用基板の表面からの反射光や、更にカラー用に複数の液晶装置を組み合わせ使用する場合の他の液晶装置から出射した後、に投射光学系を突き抜けてくる投射光の一部が、戻り光として液晶装置用基板の側からTFTのチャネルに入射するのを防ぐ必要もある。このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等に掲示されたように、石英基板等からなる液晶装置用基板上においてTFTに対向する位置（即ち、TFTの下側）にも、例えば不透明な高融点金属から遮光膜を形成する技術が採用されている。

【0005】第2に、この種の液晶装置においては、走査信号をゲート電極に印加することによりTFTをオン（導通状態）として画素電極に画像信号を供給する時間に対して、画素電極に電圧が保持される時間を長くするために、即ちデューティ比が小さくても十分な時間だけ液晶駆動電圧を印加できるように、画素電極に対して蓄積容量を付加する技術が採用されている。

【0006】ここで、走査線に沿って形成された容量線の一部を他方の蓄積容量電極として構成する方式が一般化されている。或いは、各走査線にTFTを介して接続された画素電極に対して、当該各走査線の前段の走査線を容量線として代用して、蓄積容量を付加することも一般化している。即ち、各画素のTFTのゲート絶縁膜を

延設して誘電体膜として用いて且つ画素電極に接続されたソース又はドレイン領域を形成する半導体膜を延設して一方の蓄積容量電極とすると共に前段の走査線の一部を延設して他方の蓄積容量電極として構成するのである。この場合には、容量線を別途配線しないで済むため、製造上有利であり、装置構成の簡略化にも役立つ。

【0007】第3に、この種の液晶装置においては、表示画面におけるフリッカ防止や直流電圧印加による液晶劣化を防止するために、画像信号のフレームやフィールド単位で液晶印加電圧を反転したり、更に走査線毎、データ線毎又は画素毎に液晶印加電圧を反転する技術が採用されている。

【0008】これらの反転駆動方式のうち、データ線や走査線に沿った液晶部分の配向不良の低減、画素部の開口領域の確保、制御の容易さ等の観点から、少なくともデータ線毎に液晶印加電圧の反転駆動を行う方式（以下、走査線反転駆動方式）が主流となっている。

【0009】第4に、この種の液晶装置においては、所定タイミングでデータ線に画像信号を書き込むデータ線駆動回路における、データ線への書き込み負担を軽減するために、各データ線に対して水平帰線期間内に画像信号に先行して所定電圧（例えば、中間調レベルに対応する画像信号の電圧）の所謂プリチャージ信号を印加する、即ちプリチャージを行う技術も採用されている。

【0010】特に、前述した走査線反転駆動方式の場合には、データ線駆動回路は水平走査毎に逆極性の電圧を持つデータ信号を供給する必要があるため、このプリチャージは極めて重要となる。

【0011】以上説明したように、遮光膜をTFTの下側にも設ける第1の技術、容量線や前段の走査線を利用して蓄積容量を付加する第2の技術、走査線反転駆動方式を行う第3の技術、プリチャージを行う第4の技術などを採用することにより、液晶装置を液晶プロジェクトのライトバルブとして用いて高品位の画像表示が可能となる。

【0012】

【発明が解決しようとする課題】液晶装置においては、画質向上という一般的要請が強く、このために液晶装置の駆動周波数を高めることが重要となるが、アクティブマトリクス駆動方式における時分割駆動に支障がないように駆動周波数を高めるためには、データ線や走査線或いは容量線の抵抗や時定数を下げる必要がある。

【0013】しかしながら、一般に走査線は、600℃以上の高温プロセスの場合、耐熱性の問題から導電性のポリシリコン膜で形成されている。このため、同じ寸法で配線を形成したとしても、アルミニウム（Al）膜といった金属膜と比較すれば、ポリシリコン膜は数100倍以上抵抗が高くなる。したがって、対角2インチ以下といった小型の液晶装置でも、走査線の信号遅延は無視できなくなっており、これに応じて走査線の時定数は数

10 μ s 程度になる場合がある。このため、走査線における比較的高い抵抗や大きな時定数が駆動周波数を上げる際の根本的な制約となってしまうという問題点がある。この問題点に対し、例えば走査線を低抵抗の金属膜から形成することで対処しようとする、走査線は画素の TFT のゲート電極をも構成するので、該 TFT の製造プロセスにおける活性化アニール等の高温プロセスに晒されるため、製造中に応力が発生して半導体膜、ゲート絶縁膜、ゲート電極（走査線）等にクラックが入ってしまう。このため、この対処方法の実用化は極めて困難である。また特に、前述のように前段の走査線を容量線として用いる場合には、各走査線に次段の走査線の容量線としての容量が付加されることになるので、各走査線の時定数はより大きくなってしまいうため、この問題はより深刻となる。

【0014】更に前述のようにプリチャージを行う場合には、特に水平帰線期間に対して相対的に走査線の時定数が大きくなると、画素における TFT をオフにするタイミングが遅れるために、当該オフが遅れた TFT を介して画素電極に、次段の走査線に係るプリチャージ信号が書き込まれることにより、或いは、当該オフが遅れた TFT を介して画素電極の電位に次段の走査線に係るプリチャージ信号の電位が引かれて次段の走査線に係るプリチャージが電位不足となるにより、縦クロストークが発生してしまうという問題点がある。

【0015】より具体的には、図 28 に示したように、グレー（中間色）を背景として黒部分がハイコントラストで描かれた画像 701 を表示しようとする場合、第 n 段目の走査線に対応する画素行上で他の画素に与えられる画像信号の電圧（ここでは、グレーに対応する電圧）と部分的に異なる電圧（ここでは、黒に対応する電圧）の画像信号が与えられると、このように走査線の時定数が相対的に大きいことにより、第 n-1 段目の走査線のゲート電圧がオフ時の電位に安定する前に、即ち第 n-1 段目の走査線に接続された TFT がオフされる前に、第 n 段目の走査線に係るプリチャージ信号が印加される。従って、第 n-1 段目の画素電極には、第 n 段目の黒表示の電圧に引かれるプリチャージ信号が印加されるため、図 28 に示すように、実際に表示される画像 702 においては、黒表示された画素の上側にある第 n-1 段目の画素は、走査線反転駆動の場合には（グレー表示ではなく）白表示とされてしまう。他方、第 n 段目の走査線のゲート電圧がオフ時の電位に安定する前に、即ち第 n 段目の走査線に接続された TFT がオフされる前に、第 n+1 段目の走査線に係るプリチャージ信号が印加される。従って、第 n+1 段目の画素電極には、第 n 段目の黒表示の電圧に引かれるプリチャージ信号が印加されるため、実際に表示される画像 702 においては、黒表示された画素の下側にある第 n+1 段目の画素は、走査線反転駆動の場合には（グレー表示ではなく）白表

示とされてしまう。

【0016】以上のように、実際に表示される画像 702 においては、グレー表示されるべき背景には、黒表示された画素の上下に白い縦クロストークが生じてしまい、更に、その付近にも走査線の方向に沿って白からグレーに徐々に移行するグラデーションのクロストークが生じてしまうのである。

【0017】この場合特に、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点が、各走査線毎の書き込みの終了時点に近い時点である程、即ち、黒表示すべき画素が、一本の走査線上で左右のうち一方側から走査信号を供給する場合には他方側に近い画素である程或いは両側から走査信号を供給する場合には中央に近い画素である程、走査線のゲート電圧がオフ時の電位に安定するより以前に、当該画素行における各画素への書き込みが行われるため、上述の如き縦クロストークが顕著に発生し易い。従って、画面全体として見れば、左右ムラ（片側から走査線を駆動する場合）や中央ムラ（両側から走査線を駆動する場合）といった画質品位の劣化を招くという問題点がある。

【0018】加えて、前述した容量線は、走査線と同様のポリシリコン膜から形成される場合、走査線と同様に抵抗や時定数が大きい。このため、複数のデータ線の下を交差して配線された容量線における各データ線との容量カップリングにより容量線の電位が揺れて、横クロストークやゴースト等による画像劣化が発生してしまうという問題点もある。

【0019】より具体的には、図 29 に示したように、グレーを背景として黒部分がハイコントラストで描かれた画像 801 を表示しようとする場合、このような容量カップリングによる容量線の電位揺れが安定する前に、当該画素行における各画素への書き込みが行われる。このため、実際に表示される画像 802 においては、黒表示すべき部分的に異なる電圧の画像信号が与えられた画素の左右の画素における電圧不足を招いて、グレー表示すべき行全体が白っぽくなるという現象、即ち、横クロストークやゴースト等が発生するのである。

【0020】この場合も、前述の縦クロストークの場合（図 28 参照）と同様に、黒表示すべき部分的に異なる電圧の画像信号が与えられる時点が、各走査線毎の書き込みの終了時点に近い時点である程、容量カップリングによる容量線の電位揺れが安定するより以前に、当該画素行における各画素への書き込みが行われるため、横クロストークやゴースト等が顕著に発生し易い。

【0021】そして、以上説明したような縦クロストーク（図 28 参照）や横クロストーク（図 29 参照）等は、所謂 XGA、SXGA 等の機種種の液晶装置のように駆動周波数が高くなると、相対的に走査線や容量線の時定数が大きくなるために、発生し易くなってしまいう。

【0022】本発明は上述した問題点に鑑みなされたも

のであり、遮光膜を用いた比較的簡易な構成により、高品質の画像表示が可能な液晶装置及び当該液晶装置を備えた電子機器を提供することを課題とする。

【0023】

【課題を解決するための手段】本発明は、一対の基板間に液晶が挟持されてなり、該一対の基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数の薄膜トランジスタと、該複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線及び複数の走査線と、前記複数の薄膜トランジスタの少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置に設けられている導電性の遮光膜と、該遮光膜と前記薄膜トランジスタとの間に介在する第1層間絶縁膜とを備え、前記走査線の少なくとも一部は前記遮光膜と同一膜からなることを特徴とする。

【0024】本発明のかかる構成によれば、薄膜トランジスタのチャネル領域は、一方の基板の側から入射される戻り光等については、遮光膜により遮光されており、薄膜トランジスタの戻り光等による特性劣化を防止できる。他方、走査線の少なくとも一部はこの導電性の遮光膜と同一膜で形成されているので、走査線の抵抗を、導電性の遮光膜の抵抗により顕著に低められる。例えば、走査線をポリシリコン膜から形成し且つ遮光膜を導電性の高融点金属膜から形成すれば、走査線の抵抗を、遮光膜のシート抵抗により支配できる。即ち、走査線における大幅な低抵抗化が可能となる。

【0025】以上の結果、低抵抗で小さい時定数の走査線により複数の画素電極に走査信号が供給されるため、液晶装置の駆動周波数を高めても、例えば前述の如き前段の走査線に係るゲートがオフとならないうちにプリチャージ信号が印加されたり、前段の走査線に係る画像信号の電圧にプリチャージ信号が引かれたりすることに起因する縦クロストーク（図28参照）は低減され、高品位の画像表示が行える。

【0026】本発明は、前記走査線が導電性のポリシリコン膜から形成されており、前記遮光膜は、前記ポリシリコン膜にコンタクトホールを介して電気的接続された前記走査線の冗長配線及び中継配線のうち少なくとも一つとして配設された第1遮光膜を有することを特徴とする。

【0027】本発明のかかる構成によれば、第1遮光膜は、導電性のポリシリコン膜から形成された走査線に対して、コンタクトホールを介して電気的接続されているので、走査線の抵抗を導電性の遮光膜の抵抗により顕著に低められ、走査線と第1遮光膜との間で確実に且つ信頼性の高い電気的接続状態を実現できる。

【0028】本発明の冗長配線とは、走査線と例えばコンタクトホールを介して並列に接続されることにより、導通状態にある走査線との間に冗長的な電気的導通を更

に付与する配線をいい、中継配線とは、走査線と例えばコンタクトホールを介して直列に接続されることにより、部分的に途切れた走査線との間を中継して走査線全体の電気的導通を確保する配線をいう。従って、本発明のかかる構成によれば走査線の抵抗を、第1遮光膜を構成する導電性の遮光膜の抵抗により顕著に低められる。

【0029】これに加えて、特に第1遮光膜を冗長配線として配設した場合には、異物等により走査線が途中で断線しても、第1遮光膜が走査線の代わりになるので、冗長構造が実現できる。

【0030】本発明は、前記遮光膜は、該走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第1遮光膜と、該第1遮光膜から電気的絶縁されており前記チャネル領域を覆う位置に設けられた前記遮光膜の部分を含む第2遮光膜とを有することを特徴とする。

【0031】本発明は、第2遮光膜が第1遮光膜から電気的絶縁されているため、走査信号の電位により第1遮光膜の電位が変動しても、第2遮光膜における電位は実質的に殆ど又は全く変動せずに安定している。そして、このように安定した第2遮光膜が、チャネル領域を覆う位置、即ち画素の薄膜トランジスタの下側に設けられた遮光膜の部分を含むので、画素の薄膜トランジスタの下側に設けられた遮光膜の部分の電位が走査線の電位変動によって変動することにより、薄膜トランジスタのトランジスタ特性を劣化させることを未然に防ぐことが可能となる。

【0032】本発明は、前記走査線は、前記走査線に沿って並ぶ前記複数の薄膜トランジスタのゲート電極を夫々含むと共に相互に分断された複数の島状配線部からなり、前記第1遮光膜は、前記複数の島状配線部を相互に電気的接続することを特徴とする。

【0033】本発明のかかる構成によれば、走査線をなす複数の島状配線部は、走査線に沿って並ぶ複数の薄膜トランジスタのゲート電極を夫々含むと共に相互に分断されている。従って、この島状配線部だけでは走査信号を各画素に供給不可能であるが、第1遮光膜により、これらの島状配線部は相互に電気的接続されているので、走査信号を各画素に供給可能となる。そして、このように島状配線部を中継する第1遮光膜の抵抗の低さに応じて、走査線の抵抗を低められる。

【0034】本発明は、前記遮光膜は、前記走査線の本体として配設された第1遮光膜を有し、前記複数の薄膜トランジスタは、前記第1遮光膜にコンタクトホールを介して電気的接続された導電性のポリシリコン膜から形成されたゲート電極を有することを特徴とする。

【0035】本発明のかかる構成によれば、ゲート電極は、導電性のポリシリコン膜から形成されているので、金属膜からゲート電極を形成する場合のように、活性化アニール等の高温プロセス時に生じる応力により薄膜ト

ランジスタを構成する半導体膜、ゲート絶縁膜、金属膜等が剥離する危険を回避できる。同時に、走査線の本体として配設された導電性の遮光膜からなる第1遮光膜により、走査線の抵抗を低めることが可能となる。しかも、複数の薄膜トランジスタは、第1遮光膜にコンタクトホールを介して電氣的接続されているので、ポリシリコン膜からなるゲート電極と遮光膜からなる走査線との間で確実に且つ信頼性の高い電氣的接続状態を実現できる。

【0036】本発明は、前記遮光膜及び前記走査線は、前記複数の薄膜トランジスタの各々において、前記第1層間絶縁膜及びゲート絶縁膜を夫々介して前記チャネル領域を挟んで対向配置されると共にコンタクトホールを介して相互に電氣的接続された部分を夫々含むことを特徴とする。

【0037】本発明のかかる構成によれば、一方で、走査線は、ゲート電極部がゲート絶縁膜を介してチャネル領域に対向配置されて画素の薄膜トランジスタ（以下、“第1のTFT”と称する）を構成する。他方で、チャネル領域を覆う位置に設けられた遮光膜の部分は、第1層間絶縁膜を介してチャネル領域に対向配置されるため、ゲート電極部となり、第2のTFTを構成する。そして、これら第1及び第2のTFTのゲート電極部は、コンタクトホールを介して接続されているため、同一のチャネル領域に対してダブルTFTの構造が得られる。従って、第2のTFTにより第1のTFTをバックチャネルにすることにより該第1のTFT即ち、画素の薄膜トランジスタの特性向上を図ることが可能となる。尚、第2のTFTのゲート絶縁膜である第1層間絶縁膜を薄くすれば、第2のTFTの特性向上を図ることができる。

【0038】本発明は、前記複数の走査線は夫々、次段の走査線に前記薄膜トランジスタを介して接続された前記画素電極に蓄積容量を付与するための一方の蓄積容量電極として機能する部分を含むことを特徴とする。

【0039】本発明のかかる構成によれば、走査線が含む蓄積容量電極として機能する部分により、次段の走査線に係る画素電極に蓄積容量が付与される。より具体的には例えば、次段の走査線に係る画素の薄膜トランジスタにおける画素電極に接続されたソース又はドレイン側の半導体膜を延設して、第1の蓄積容量電極とする。そして、ゲート絶縁膜から延設された絶縁膜を誘電体膜として、第1の蓄積容量電極に、上述の走査線が含む蓄積容量電極として機能する部分を対向させることにより、前段の走査線を容量線として利用できる。このように構成すると通常は、走査線に次段の画素の容量が付くために該走査線の時定数が大きくなるが、本発明では、遮光膜を利用することにより走査線の時定数を小さくしているため、このように前段の走査線を容量線として利用する構成としても、前述の如き走査線の時定数が大きいこ

とによる縦クロストーク等の画像劣化を低減できる。

【0040】本発明は、前記複数の画素電極に対し蓄積容量を夫々付与するために形成された容量線を更に備えたことを特徴とする。

【0041】本発明のかかる構成によれば、容量線により、複数の画素電極に対し蓄積容量が夫々付与される。より具体的には例えば、画素の薄膜トランジスタにおける画素電極に接続されたソース又はドレイン側の半導体膜を延設して、第1の蓄積容量電極とする。そして、ゲート絶縁膜から延設された絶縁膜を誘電体膜として、第1の蓄積容量電極に、上述の容量線が含む蓄積容量電極として機能する部分を対向させることにより、蓄積容量を付与できる。

【0042】本発明は、前記遮光膜は、前記走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第1遮光膜と、該第1遮光膜から電氣的絶縁されており前記チャネル領域を覆う位置に設けられた前記遮光膜の部分を含むと共に前記容量線を前記一方の基板の側から見て夫々覆う位置に設けられた第2遮光膜とを有し、前記容量線及び前記第2遮光膜は、定電位源に接続されていることを特徴とする。

【0043】本発明のかかる構成によれば、第2遮光膜は、第1遮光膜から電氣的絶縁され更に定電位源に接続されているので、走査信号の電位により第1遮光膜の電位が変動しても、第2遮光膜における電位は定電位に安定している。そして、このように安定した第2遮光膜が、画素の薄膜トランジスタの下側に設けられた遮光膜の部分を含むので、画素の薄膜トランジスタの下側に設けられた遮光膜の部分の電位が走査線の電位変動によって変動することにより薄膜トランジスタのトランジスタ特性を劣化させることを未然に防ぐことが可能となる。他方、容量線も、定電位源に接続されているので、蓄積容量電極として良好に機能し得る。そして、容量線及び第2遮光膜は定電位源に接続されているので、定電位源に至る両配線を部分的に共用することも可能となる。この場合、定電位源の定電位としては、例えば接地電位に等しくてもよい。

【0044】本発明は、前記定電位源は、当該液晶装置を駆動するための周辺回路に供給される定電位源であることを特徴とする。

【0045】本発明のかかる構成によれば、定電位源は、走査線駆動回路、データ線駆動回路、対向電極などの周辺回路に供給される、負電源、正電源等の定電位源であるので、特別な電位配線や外部入力端子を設ける必要なく、遮光膜及び容量線を定電位にできる。

【0046】本発明は、前記第2遮光膜が、前記容量線の冗長配線、中継配線及び本体の少なくとも一つとして配設されてなることを特徴とする。

【0047】本発明はかかる構成により容量線の抵抗を、導電性の遮光膜の抵抗により顕著に低められる。例

10

20

30

40

50

例えば、容量線を走査線と同じポリシリコン膜から形成し且つ遮光膜を導電性の高融点金属膜から形成すれば、容量線の抵抗を、遮光膜のシート抵抗により支配できる。即ち、容量線における大幅な低抵抗化が可能となる。

【0048】以上の結果、低抵抗で小さい時定数の容量線により複数の画素電極に蓄積容量が付加されるため、液晶装置の駆動周波数を高めても、前述の如き容量線の電位揺れに起因する横クロストーク（図29参照）は低減され、高品位の画像表示が行える。また、冗長配線として配設した場合には、容量線が途中で断線しても、第2遮光膜が容量線の代わりになるので、冗長構造が実現できる。

【0049】本発明において、前記遮光膜は、前記走査線の冗長配線、中継配線及び本体のうち少なくとも一つとして配設された第1遮光膜と、該第1遮光膜から電気的絶縁されており前記チャネル領域を覆う位置に設けられた前記遮光膜の部分を含むと共に前記容量線及び前記複数のデータ線を前記一方の基板の側から見て夫々覆う位置に網目状に設けられた第2遮光膜とを有することを特徴とする。

【0050】本発明のかかる構成によれば、遮光膜が有する第2遮光膜は、第1遮光膜から電気的絶縁されているので、走査信号の電位により第1遮光膜の電位が変動しても、第2遮光膜における電位は安定している。そして、このように安定した第2遮光膜が、画素の薄膜トランジスタの下側に設けられた遮光膜の部分を含むので、画素の薄膜トランジスタの下側に設けられた遮光膜の部分の電位が走査線の電位変動によって変動することにより薄膜トランジスタのトランジスタ特性を劣化させることを未然に防ぐことが可能となる。そして、第2遮光膜は、チャネル領域を覆う位置に設けられた遮光膜の部分を含むと共に網目状に設けられているので、第2遮光膜により各画素部の開口領域を規定でき、第1遮光膜により走査線の抵抗を低められる。

【0051】本発明は、前記遮光膜は、前記複数の走査線を前記一方の基板の側から見て夫々覆う位置に縞状に設けられていることを特徴とする。

【0052】本発明のかかる構成によれば、遮光膜は、複数の走査線を一方の基板の側から見て夫々覆う位置に縞状に設けられているので、例えばコンタクトホールを介して走査線と縞状の遮光膜とを電気的接続することにより、遮光膜を、走査線に沿う中継配線或いは冗長配線として配設することが可能となる。

【0053】本発明は、前記遮光膜は、前記複数の走査線を前記一方の基板の側から見て少なくとも部分的に夫々覆う位置に島状に設けられていることを特徴とする。

【0054】本発明のかかる構成によれば、遮光膜は、複数の走査線を一方の基板の側から見て少なくとも部分的に夫々覆う位置に島状に設けられているので、例えばコンタクトホールを介して走査線と島状の遮光膜とを電

氣的接続することにより、遮光膜を、走査線に沿う中継配線或いは冗長配線として配設することが可能となる。

【0055】本発明は、前記遮光膜は、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含むことを特徴とする。

【0056】本発明のかかる構成によれば、遮光膜は、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、例えば、金属単体、合金、金属シリサイド等から構成されるため、液晶装置用基板上の遮光膜形成工程の後に行われるTFT形成工程における高温処理により、遮光膜が破壊されたり溶融しないようにできる。

【0057】本発明の電子機器は、上記液晶装置を備えたことを特徴とする。

【0058】本発明のかかる構成によれば、電子機器は、上述した本願発明の液晶装置を備えているため、冗長構造により装置の信頼性が高く、縦クロストーク等の表示劣化が低減されており且つ戻り光等に対する遮光性能に優れた液晶装置により高品位の画像表示が可能となる。

【0059】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0060】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0061】（第1実施形態）本発明による液晶装置の第1実施形態の構成及び動作について、図1から図4を参照して説明する。図1は、液晶装置の画像形成領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、液晶装置用基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図であり、図4は、図2のB-B'断面図である。尚、図3及び図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0062】図1において、本実施の形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9a及び画素電極9aを制御するためのTFT30とからなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線300aが電気的接続されており、所定のタイミングで、走査線300aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的接続されており、TFT30を一定期間だけそのスイッチを閉じることにより、データ線6a

から供給される画像信号 S1、S2、…、Sn を所定のタイミングで書き込む。画素電極 9a を介して液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。例えば、画素電極 9a の電圧は、ソース電圧が印加された時間よりも 3 桁も長い時間だけ蓄積容量 70 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、このように蓄積容量 70 を形成する方法としては、容量を形成するための配線である容量線 3b を設けても良いし、後述のように前段の走査線 300a との間で容量を形成しても良い（図 12 参照）。

【0063】図 2 乃至図 4 において、液晶装置用基板 10 上には、マトリクス状に複数の透明な画素電極 9a（点線部 9a' により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に各々沿ってデータ線 6a（ソース電極）、走査線 300a（ゲート電極を含む）及び容量線 3b が設けられている。データ線 6a は、コンタクトホール 5 を介してポリシリコン膜等から成る半導体層 1a のうち後述のソース領域に電氣的接続されており、画素電極 9a は、コンタクトホール 8 を介して半導体層 1a のうち後述のドレイン領域に電氣的接続されている。

【0064】本実施の形態では特に、図中右上がりの斜線で示した領域に、導電性の第 2 遮光膜 11a 及び第 1 遮光膜 11c が設けられている。

【0065】第 2 遮光膜 11a は、画素部において、半導体層 1a のチャネル領域（図中、右下がりの斜線領域）を液晶装置用基板の側から見て各々重なる位置に設けられている。

【0066】第 1 遮光膜 11c は、画素部において、第 2 遮光膜 11a とは別個に設けられ、第 2 遮光膜 11a から電氣的に絶縁されている。第 1 遮光膜 11c は、走査線 300a を構成するポリシリコン膜からなる島状のゲート電極 3a の中継配線として配設されている。即ち、ポリシリコン膜からなると共に相互に分断された島状のゲート電極 3a は夫々、半導体層 1a のうち後述のチャネル領域（図 2 中右下りの斜線の領域）に対向するゲート電極を含むように配設されており、第 1 遮光膜 11c は、走査線 300a 方向に沿って連なる複数のゲート電極 3a を相互にコンタクトホール 18 を介して電氣的接続するように配設されている。言い換えれば、各々の段（行）について、コンタクトホール 18 により相互に電氣的接続された走査線 300a 方向に沿って連なる複数のゲート電極 3a と複数の第 1 遮光膜 11c とから

1 本の走査線 300a が構成されており、この 1 本の走査線 300a を介して走査信号を各画素に供給可能となる。

【0067】次に、図 3 の A-A' 断面図を更に参照して TFT30 及びゲート電極 3a を含む画素部分における構成を説明する。尚、図 3 では、液晶装置用基板 10 に液晶を介して対向配置される対向基板 20 や液晶は省略してあり、これらについては後述する。

【0068】図 3 の A-A' 断面図に示すように、液晶装置は、石英基板等からなる液晶装置用基板 10 を備えている。液晶装置用基板 10 には、ITO 膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施されたポリイミド薄膜などの有機薄膜からなる配向膜 16 が設けられている。

【0069】液晶装置用基板 10 には、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用 TFT30 が設けられている。

【0070】画素スイッチング用 TFT30 に各々対向する位置において液晶装置用基板 10 と各画素スイッチング用 TFT30 との間には、第 2 遮光膜 11a が設けられている。このように第 2 遮光膜 11a や第 1 遮光膜 11c を構成する導電性の遮光膜は、不透明な高融点金属からなり、Ti、Cr、W、Ta、Mo 及び Pd のうちの少なくとも一つを含む金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、液晶装置用基板 10 上の第 2 遮光膜 11a や第 1 遮光膜 11c の形成工程の後に行われる画素スイッチング用 TFT30 の形成工程における高温処理により、第 2 遮光膜 11a や第 1 遮光膜 11c が破壊されたり熔融しないようにできる。また、このような第 2 遮光膜 11a により液晶装置用基板 10 の側からの戻り光等が画素スイッチング用 TFT30 のチャネル領域 1a' 等に入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用 TFT30 の特性が劣化することはない。

【0071】更に、第 2 遮光膜 11a と複数の画素スイッチング用 TFT30 との間には、第 1 層間絶縁膜 12 が設けられている。第 1 層間絶縁膜 12 は、画素スイッチング用 TFT30 を構成する半導体層 1a を第 2 遮光膜 11a から電氣的絶縁するために設けられるものである。更に、第 1 層間絶縁膜 12 は、液晶装置用基板 10 の全面に形成されることにより、画素スイッチング用 TFT30 のための下地膜としての機能をも有する。即ち、液晶装置用基板 10 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 TFT30 の特性の劣化を防止する機能を有する。第 1 層間絶縁膜 12 は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボ

ロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。第1層間絶縁膜12により、第2遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0072】本実施の形態では特に、第1遮光膜11cは、ゲート電極3aの中継配線として配設されている。即ち、図3に示すようにゲート電極3aと、第1遮光膜11cがコンタクトホール18を介して電氣的接続されている。このため、走査線300a(図1参照)の抵抗を、第1遮光膜11cの抵抗により顕著に低められる。ゲート電極3aは、例えばシート抵抗値が $25\Omega/\square$ 程度のポリシリコン膜から形成されているので、対角1.3インチや0.9インチ程度の小型の液晶装置の場合には、 $100\sim 200K\Omega$ 程度の抵抗を有するが、第1遮光膜11cは、前述の如き高融点金属膜から形成されているので、走査線300aにおける抵抗は、大幅に低くされる。例えば、第1遮光膜11cをタングステンシリサイドから構成すると、シート抵抗値が $7\sim 8\Omega/\square$ 程度しかない。このような低抵抗化に応じて走査線300aの時定数も、例えば $1\mu s$ 以下程度にまで小さくできる。そして、画像表示領域の両側から走査線を駆動する構成(図示せず)をとれば更に、その半分の $0.5\mu s$ 以下程度にまで小さくできる。このため、走査線の抵抗や時定数が駆動周波数を上げる際の制約となることを回避できる。さらに、第2遮光膜11aと第1遮光膜11cとが絶縁されているため、走査線300aによって第2遮光膜11aが変動することがない。従って、走査線の電位変動による薄膜トランジスタのトランジスタ特性の劣化を未然に防ぐことができる。

【0073】次に、図4のB-B'断面図を参照してTFT30及び蓄積容量70を含む画素部分における構成を更に説明する。尚、図4には、液晶装置用基板10に加えて、液晶装置用基板10に液晶50を介して対向配置される対向基板20を示してある。

【0074】図4のB-B'断面図に示すように、液晶装置は、液晶装置用基板10と、ガラスや石英からなる透明な他方の基板の一例を構成する対向基板20とが対向配置されている。対向基板20には、その全面に渡ってITO膜などの透明導電性薄膜からなる対向電極(共通電極)21が設けられており、その下側には、ラビング処理等の所定の配向処理が施されたポリイミド薄膜などの有機薄膜からなる配向膜22が設けられている。対向基板20には、各画素の開口領域以外の領域に、第3遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の少なくとも半導体層1aのチャネル領域1a'に侵入を防ぐことができる。

【0075】このように構成され、画素電極9aと対向電極21とが対面するように配置された液晶装置用基板

10と対向基板20との間には、後述のシール材52(図30及び図31参照)により囲まれた空間に液晶が封入され、液晶層50が形成される。

【0076】本実施の形態では特にゲート絶縁膜2をゲート電極3aに対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。

【0077】これらの結果、データ線6a下の領域及びゲート電極3aに沿って液晶のディスクリネーションが発生する領域(即ち、容量線3bが形成された領域)という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0078】図4において、画素スイッチング用TFT30は、LDD(Lightly Doped Drain)構造を有しており、走査線300aの一部を構成するゲート電極3a、ゲート電極3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、ゲート電極3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a(ソース電極)、半導体層1aの低濃度ソース領域(ソース側LDD領域)1b及び低濃度ドレイン領域(ドレイン側LDD領域)1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーブすることにより形成されている。本実施の形態では特にデータ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、ゲート電極3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。コンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電氣的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電氣的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0079】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち

込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。

【0080】また本実施の形態では、画素スイッチング用 TFT 30 のゲート電極 3a をソース・ドレイン領域 1b 及び 1c 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上で TFT を構成すれば、チャネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を LDD 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0081】ここで、一般には、半導体層 1a のチャネル領域 1a'、低濃度ソース領域 1b 及び低濃度ドレイン領域 1c 等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 TFT 30 のトランジスタ特性が劣化するが、本実施の形態では、ゲート電極 3a を上側から覆うようにデータ線 6a が A1 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1a のチャネル領域 1a' 及び LDD 領域 1b、1c への入射光の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用 TFT 30 の下側には、第 2 遮光膜 11a が設けられているので、少なくとも半導体層 1a のチャネル領域 1a' 及び LDD 領域 1b、1c への戻り光の入射を効果的に防ぐことが出来る。

【0082】本実施の形態では、図 2 に示されるように第 2 遮光膜 11a がチャネル領域よりも大きめに、即ちチャネル領域全体を覆うように形成すれば、チャネル領域に戻り光が入射されるのを防ぐためにさらに効果的である。

【0083】（第 2 実施形態）図 5 を参照して本発明の第 2 実施形態について説明する。図 5 は、液晶装置用基板の相隣接する複数の画素群の平面図である。尚、図 6 は図 5 の C-C' 断面図である。図 6 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、図 5 及び図 6 において、第 1 実施形態と同じ構成要素には同じ参照符号を付し、また第 1 実施形態と異なる構成のみ説明し同様な構成については省略する。

【0084】図 5 及び図 6 に示すように第 2 実施形態では特に、第 1 遮光膜 11c' は、走査線方向に沿って縞状に配設されており、ポリシリコン膜からなるゲート電極 3a は、第 1 遮光膜 11c' に重ねられている。即ち、第 1 遮光膜 11c' は、ゲート電極 3a の冗長配線として配設されていて、第 1 遮光膜 11c' は、画素スイッチング用 TFT の下側にも設けられている。つまり走査線 300b は走査電極 3a と縞状の第 1 遮光膜 11

c' とにより構成されている。

【0085】このため、縞状に形成された第 1 遮光膜 11c' により画素スイッチング用 TFT 30 に対する戻り光を遮光しつつ、第 1 遮光膜 11c' 及びゲート電極 3a から構成される走査線 300b の抵抗を第 1 遮光膜 11c' により低めることが可能である。従って、前述の縦クロストーク（図 28 参照）を防止できる。しかも、第 1 遮光膜 11c' は、ゲート電極 3a に対する冗長構造をなすので、ゲート電極 3a に断線や導通不良があつたとしても、走査線 300b が不良化するのを未然に防ぐことも可能となる。これらの結果、第 2 実施形態により、高品位の画像表示を実現できる。

【0086】尚、図 5 に示されるように、第 1 遮光膜 11c' をチャネル領域 1a と重なる位置において幅を太くすることによりチャネル領域 1a への戻り光をより確実に防止することが可能である。

【0087】また、第 2 実施形態においては、ゲート電極 3a がゲート絶縁膜を介してチャネル領域に対向配置される TFT（第 1 の TFT）と、チャネル領域を覆う位置に設けられた第 1 遮光膜 11c' が第 1 層間絶縁膜を介してチャネル領域に対向配置されたゲート電極となる TFT（第 2 の TFT）が形成されることになり、チャネル領域を挟んで上下にゲート電極が形成されることになる。従って、第 1 遮光膜 11c' により第 1 の TFT をバックチャネルにすることにより該第 1 の TFT 即ち、画素の薄膜トランジスタの特性向上を図ることが可能となる。尚、第 2 の TFT のゲート絶縁膜である第 1 層間絶縁膜を薄くすれば、第 2 の TFT の特性向上を図ることができる。

【0088】（第 3 実施形態）本発明による液晶装置の第 3 実施形態について、図 7 を参照して説明する。図 7 は、液晶装置用基板の相隣接する複数の画素群の平面図である。尚、図 7 において、図 5 に示した第 2 実施形態と同じ構成要素には同じ参照符号を付し、第 2 実施形態と異なる構成のみ説明する。

【0089】第 3 実施形態は、ゲート電極 3a' が第 1 遮光膜 11c' と同じく、走査線方向に沿って縞状に配設されており、走査線 300d が、これらのゲート電極 3a' 及び第 1 遮光膜 11c' から冗長的に構成されている。尚、その他の点は図 5 に示した第 2 実施形態の場合と同様である。

【0090】このように第 3 実施形態によれば、第 1 遮光膜 11c' により走査線 300d の低抵抗化を図ることができるので、前述の縦クロストーク（図 28 参照）等の発生を抑制でき、高品位の画像表示を実現できる。そして、走査線 300d における冗長構造により、ゲート電極 3a' 及び第 1 遮光膜 11c' が断線や導通不良を起こしても、この一方とコンタクトホール 18 を介して電氣的接続された他方の配線の存在により、走査線 300d が不良化するのを未然に防ぐことも可能となる。

【0091】尚、第3実施形態では、各走査線300d毎に、一画素につき2個のコンタクトホール18が設けられているが、この個数は3個以上又は1個でもよいし、或いは、複数の画素につき1個であってもよい。コンタクトホール18の数を増せば、両配線間における冗長構造の度合いを高められ且つ低抵抗化でき、コンタクトホール18の数を減らせば、コンタクトホール13を開孔する工程や構造を簡単にできる。従って、第1遮光膜11c'のシート抵抗、駆動周波数、要求される仕様等を勘案しつつ、コンタクトホール18の個数の設定により、第1遮光膜11c'による走査線300dの低抵抗化及び冗長構造による利益と、多数のコンタクトホール13を開孔することによる製造上及び構造上の不利益とを適度にバランスさせられるので、実践上大変有利である。

【0092】また、第3実施形態においても第2実施形態と同様に第1遮光膜11c'が第2TFTのゲート電極として機能することが可能であるため、第2実施形態で述べた場合と同様な効果が得られる。

【0093】(第4実施形態)本発明による液晶装置の第4実施形態について、図8を参照して説明する。図8は、液晶装置用基板の相隣接する複数の画素群の平面図である。尚、図8において、図3に示した第1実施形態の場合と同じ構成要素には同じ参照符号を付し、第1実施形態と異なる構成のみ説明する。

【0094】図8に示すように第4実施形態では、半導体膜501aからなる画素スイッチング用TFTのソース領域に開孔されたコンタクトホール5'とドレイン領域に開孔されたコンタクトホール8'との間の、図中右下がりの斜線部で示された領域がチャンネル領域である。このチャンネル領域に、ゲート絶縁膜を介して対向するゲート電極503aがポリシリコン膜から構成され、このゲート電極503aの一端がコンタクトホール18'を介して第1遮光膜11c'に電気的接続されている。本実施形態では特に、第1遮光膜11c'が走査線の本体として配設されるとともに、第1遮光膜11c'とは絶縁された島状の第2遮光膜11a'が第1遮光膜11c'と同時に同一膜によりチャンネル領域下に形成されている。また、容量線3b'は、これら二つのコンタクトホール8'及び5'を避けるように走査線本体たる第1遮光膜11c'に沿って設けられている。

【0095】このように構成された液晶装置の第4実施形態によれば、ゲート電極503aは、導電性のポリシリコン膜から形成されているので、金属膜からゲート電極を形成する場合のように、活性化アニール等の高温プロセス時に生じる応力により画素スイッチング用TFTを構成する半導体膜、ゲート絶縁膜、金属膜等が剥離する危険を回避できる。同時に、走査線本体として配設された第1遮光膜11c'により、走査線の抵抗を低めることが可能となる。しかも、画素スイッチング用TFT

は、第1遮光膜11c'にコンタクトホール18'を介して電気的接続されているので、ポリシリコン膜からなるゲート電極503aと遮光膜からなる第1遮光膜11c'との間で確実に且つ信頼性の高い電気的接続状態を実現できる。

【0096】これらの結果、第2遮光膜11a'により画素スイッチング用TFTに対する戻り光を遮光しつつ、第1遮光膜11c'から構成される走査線の抵抗を低めることにより、前述の縦クロストーク(図28参照)を防止でき、高品位の画像表示を実現できる。さらに、第2遮光膜11a'と第1遮光膜11c'とが絶縁されているため、走査線本体である第1遮光膜11c'によって第2遮光膜11a'が変動することがない。従って、走査線の電位変動による薄膜トランジスタのトランジスタ特性の劣化を未然に防ぐことができる。

【0097】第4実施形態の図8では、第2遮光膜11a'が島状に形成されているが、例えば縞状に形成して定電位源に接続するようにしてもよい。

【0098】上述の第1乃至第4実施形態では、いずれもチャンネル領域への戻り光の防止と走査線の低抵抗化とを同一の導電性遮光膜により実現するものである。上述の実施形態を用いてさらに容量線の低抵抗化を実現するための変形例を説明する。

【0099】(第1実施形態の第1変形例)第1実施形態の第1変形例について図9及び図10を用いて説明する。図9は、液晶装置用基板の相隣接する複数の画素群の平面図であり、図10は、図9のD-D'断面図である。第1変形例は第1実施形態と同様な構成については説明を省略し、異なる構成のみ説明する。

【0100】第1変形例では、第2遮光膜11a'''が、容量線3bに沿って形成され、第2遮光膜11a'''及び容量線3bは定電位源に各々電気的接続されている。従って、第2遮光膜11a'''に対向配置される画素スイッチング用TFT30に対し第2遮光膜11a'''の電位変動が悪影響を及ぼすのを防ぐことができる。また、容量線3bは、蓄積容量70の第2蓄積容量電極として良好に機能し得る。この場合、図9及び図10に示されるように第2遮光膜11a'''は低電位源としてコンタクトホール13を介して容量線3bに接続するようにしてもよい。あるいは、当該液晶装置を駆動するための周辺回路(例えば、走査線駆動回路、データ線駆動回路等)に供給される定電位源等に接続してもよい。周辺回路等の電源を利用すれば、専用の電位配線や外部入力端子を設ける必要なく、第2遮光膜11a'''及び容量線3bを定電位にできる。(図示せず)そして、第2遮光膜11a'''と容量線3bとを、例えば画像表示領域の端部において電気的接続し、両者の定電位を同じにする構成を採れば、定電位源から両者への配線を部分的に共用でき、構成の単純化が図れる。

【0101】図9及び図10に示されるように、容量線

3bと第2遮光膜11a'''とをコンタクトホール13を介して接続させると、容量線3bは、高抵抗なポリシリコン膜から形成されているが、第2遮光膜11a'''は低抵抗な導電性の高融点金属から形成されているので、容量線3bにおけるゲート電極3aに沿った方向の抵抗は、大幅に低抵抗化される。例えば、第2遮光膜11a'''をWSiで形成した場合、ポリシリコン膜と比較してシート抵抗値を1/3以下に低減することができる。

【0102】この結果、容量線3bの時定数についても、第2遮光膜11a'''の存在により、例えば、十数μ秒程度から数μ秒程度にまで小さくすることが出来る。従って、データ線6aの下を交差して配線された容量線3bにおける各データ線6aとの容量カップリングにより、容量線3bの電位が揺れることに起因した横クロストークやゴースト等の発生を低減できる。即ち、図29に示した画像802のような表示劣化の問題は起らない。そして、特に当該液晶装置を前述のようにXGA、SXGA等の駆動周波数の高い機種として構成しても、容量線3bの時定数が十分に小さくされているため、やはり横クロストークやゴースト等の発生を低減できる。

【0103】従って、このような横クロストークやゴースト等の防止のために、前述の如きデータ線6a毎や画素毎に液晶駆動電圧の極性を反転させる方式を採用する必要性は無く、逆に、液晶層50のディスクリネーションを低減することができ且つ画素開口率を高めるのに適した、走査線300a毎に液晶駆動電圧を基準電圧に対して反転させる走査線反転駆動方式（所謂1H反転駆動方式）を採用できる。

【0104】また第1変形例においては、第2遮光膜11a'''は、チャネル領域を覆う位置に設けられた遮光膜の部分を含むと共に容量線3bに沿って網目状に設けられているので、第2遮光膜11a'''により各画素部の開口領域を規定でき、第1遮光膜11cにより走査線の抵抗を低められる。

【0105】（第2実施形態の第2変形例）第2実施形態の第2変形例を図11を用いて説明する。第2変形例は第2実施形態と同様な構成を有し、異なる構成のみ説明する。第2遮光膜11dは、画素スイッチング用TFTの下側を除く領域において容量線3bに重なるように形成されている。また、容量線3bと第2遮光膜11dとは、第1変形例の場合と同様に、コンタクトホール13を介して電氣的接続してもよいし、他の定電位源に接続してもよい。このように第2変形例では、走査線3aの下に第1遮光膜11cを設けるとともに、第1遮光膜11cとは絶縁された第2遮光膜11dが容量線3b下に設けられているため、走査線と容量線の両方の低抵抗化を実現できる。従って、第1変形例の場合と同様に、容量線3bの抵抗を第2遮光膜11dにより低める

ことにより、前述の横クロストーク（図29参照）を防止することもできる。また、第2遮光膜11dと第1遮光膜11cとは絶縁されているため、走査線の電位変動により第2遮光膜11dが影響されることがない。これらの結果、第2変形例により、高品位の画像表示を実現できる。

【0106】尚、図示を省略するが、第3実施形態において、第2変形例と同様に第2遮光膜11dを容量線3bに沿って形成することが可能であり、その場合は第2変形例と同様な効果が得られる。

【0107】また、第4実施形態においても第2遮光膜11a'を容量線3bに沿って形成し、さらには容量線とコンタクトを介して接続するようにすれば、走査線と容量線の両方の低抵抗化を実現できる。

【0108】（第5実施形態）図12は、液晶装置用基板の相隣接する複数の画素群の平面図である。尚、図12において、図2に示した第1実施形態の場合と同じ構成要素には同じ参照符号を付し、第1実施形態と異なる構成のみ説明する。

【0109】図12において、液晶装置用基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線300e（ゲート電極を含む）が設けられている。即ち、本実施の形態では、第1乃至第4実施形態及びその変形例のように容量線が設けられておらずに、前段（第n-1段目）の走査線300eが（第n段目における）容量線として機能するように構成されている。より具体的には、前段の走査線300eを構成するポリシリコン膜から延設された第2蓄積容量電極504と、画素スイッチング用TFTのドレイン領域から延設された第1蓄積容量電極1f'とが、画素スイッチング用TFTのゲート絶縁膜から延設された絶縁膜（誘電体膜）を介して対向配置されることにより蓄積容量が構成される。そして、データ線6aは、コンタクトホール5を介してポリシリコン膜からなる半導体層1aのソース領域に電氣的接続されており、画素電極9aは、コンタクトホール8'を介して半導体層1aのドレイン領域に電氣的接続されている。

【0110】導電性の遮光膜からなる第1遮光膜11eは、図中右上がりの斜線で示した領域に配設されており、即ち走査線300eに重ねて設けられている。走査線300eは夫々、半導体層1aのチャネル領域（図12中右下りの斜線の領域）に対向するゲート電極を含むように配設されており、第1遮光膜11eは、ポリシリコン膜からなる走査線300eとコンタクトホール18'を介して各画素毎に電氣的接続されることにより冗長構造をなす。

【0111】このように第5実施形態によれば、前述の高融点金属膜からなる第1遮光膜11eにより、走査線

300eは低抵抗化されると共に画素スイッチング用TFTのチャネル領域に対する戻り光に対する遮光がなされる。更に、画素スイッチング用TFTのゲート電極は、導電性のポリシリコン膜から形成されているので、金属膜からゲート電極を形成する場合のように、活性化アニール等の高温プロセス時に生じる応力により薄膜トランジスタを構成する半導体膜、ゲート絶縁膜、金属膜等が剥離する危険を回避でき、信頼性の高い液晶装置の製造が可能となる。

【0112】また、第5実施形態では、第1遮光膜11eは、走査線300eに重ねられた部分からデータ線6aに沿って延設された第3蓄積容量電極11e'を含むようにしてもよい。その場合、第1層間絶縁膜を介して対向配置される第3蓄積容量電極11e'と第1蓄積容量電極11fとにより蓄積容量を増すことができる。更に、第1遮光膜11eは、画素スイッチング用TFTのチャネル領域に対向する部分が幅広に形成しても良い。その場合、図12中右下がりの斜線で示されたチャネル領域において、確実に戻り光に対する遮光が可能となる。

【0113】（液晶装置の周辺回路の構成）上記の実施形態及びそれらの変形例を用いて、液晶装置用基板10上に周辺回路を形成した構成について、図13を用いて説明する。

【0114】図13において、液晶装置は周辺回路として、データ線6aを駆動するデータ線駆動回路101と、走査線300aを駆動する走査線駆動回路104と、複数のデータ線6aに所定電圧レベルのプリチャージ信号NRSを画像信号S1、S2、…Snの供給に先行して夫々供給するプリチャージ回路201と、画像信号S1、S2、…Snをサンプリングして複数のデータ線6aに夫々供給するサンプリング回路301とを備える。

【0115】走査線駆動回路104は、外部制御回路から供給される電源、基準クロックCLY及びその反転クロック等に基づいて、所定タイミングで走査線300aに走査信号G1、G2、…、Gmをパルス的に線順次で印加する。

【0116】データ線駆動回路101は、外部制御回路から供給される電源、基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号G1、G2、…、Gmを印加するタイミングに合わせて、データ線35に画像信号を供給する。

【0117】プリチャージ回路201は、スイッチング素子として、例えばTFT202を各データ線6a毎に備えており、プリチャージ信号線204がTFT202のドレイン又はソース電極に接続されており、プリチャージ回路駆動信号線206がTFT202のゲート電極に接続されている。そして、動作時には、プリチャージ信号線204を介して、外部電源からプリチャージ信号

NRSを書き込むために必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線206を介して、各データ線6aについて画像信号S1、S2、…、Snに先行するタイミングでプリチャージ信号NRSを書き込むように、外部制御回路からプリチャージ回路駆動信号NRGが供給される。プリチャージ回路201は、好ましくは中間階調レベルの画像信号S1、S2、…、Snに相当するプリチャージ信号NRS（画像補助信号）を供給する。

【0118】サンプリング回路301は、TFT302を各データ線6a毎に備えており、画像信号線304がTFT302のソース電極に接続されており、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、画像信号線304を介して、画像信号S1、S2、…、Snが入力されると、これらをサンプリングする。即ち、サンプリング回路駆動信号線306を介してデータ線駆動回路101からサンプリング回路駆動信号SH1、SH2、…、SHnが入力されると、画像信号線304に供給される画像信号S1、S2、…、Snをデータ線6aに順次印加する。

【0119】このように本実施の形態では、データ線6aを一本毎に選択するように構成されているが、上述したようにデータ線6aを複数本毎にグループ毎に供給するようにしても良い。

【0120】ここで、本実施の形態の液晶装置において行われるプリチャージについて図14を参照して説明を加える。

【0121】図14に示すように、データ線駆動回路101が有するシフトレジスタには、一画素当りの選択時間t1（ドット周波数）を規定するクロック信号（CLX）が水平走査の基準として入力されるが、転送スタート信号（DX）が入力されると、このシフトレジスタから転送信号X1、X2、…が順次供給される。各水平走査期間において、このような転送スタート信号（DX）の入力に先行するタイミングで、プリチャージ回路駆動信号（NRG）がプリチャージ回路201に供給される。より具体的には、垂直走査の基準とされるクロック信号（CLY）がハイレベルとなると共に画像信号（VID）が信号の電圧中心値（VID中心）を基準として極性反転した後、この極性反転からプリチャージをするまでのマージンである時間t3経過後に、プリチャージ回路駆動信号（NRG）は、ハイレベルとされる。他方、プリチャージ信号（NRS）は、画像信号（VID）の反転に対応して、水平帰線期間で画像信号（VID）と同極性の所定レベルとされる。従って、プリチャージ回路駆動信号（NRG）がハイレベルとされる時間t2において、プリチャージが行われる。そして、水平帰線期間が終了して有効表示期間が始まる時点よりも時間t4だけ前に、即ち、プリチャージが終了してから画像信号（VID）が書き込まれるまでのマージンを時間

t4として、プリチャージ回路駆動信号(NRG)は、ローレベルとされる。以上のように、プリチャージ回路201は、各水平掃線期間において、プリチャージ信号(NRS)を画像信号の供給に先行して複数のデータ線6aに供給する。

【0122】本実施形態及び変形例は、上述のように第1遮光膜11c(11c'、11c''、11e)により走査線300aの抵抗及び時定数が小さくされているため、このようにプリチャージを行って駆動周波数を高める場合に特に有利である。

【0123】即ち、図14において、水平掃線期間内にプリチャージを行っているが、前段の走査線300aにより画素スイッチング用TFTのゲートに印加される電圧は、時間t3内でオフ電位に安定する必要がある。即ち、第n段目の走査線に係るプリチャージは、第n-1段目の走査線により第n-1段目のゲートがオフされてから行われる必要がある。従って、時間t3が長くなるように各信号のタイミングを設定すれば、走査線300aの時定数が大きくても良いようにも考えられる。しかしながら、この時間t3を長くすると、今度は、時間t5、t2、t4を短くする必要性が生じる。ここで、前述したデータ線6aと容量線3bとの容量カップリングによる容量線3bの電位の揺れは、時間t5内で安定に向かう。従って、時間t5を余り短くすると、容量線3bの電位の揺れにより図29を用いて説明したような横クロストーク等が発生してしまう。また、時間t2を短くしたのでは、プリチャージの能力が低下してしまうか或いは電荷供給能力の高いプリチャージ回路が必要となってしまう。更に又、時間t4を短くしたのでは、プリチャージ信号と画像信号とが同時にデータ線6aに印加されかねない。従って、プリチャージを良好に行うためには、前段の走査線300aの電位がオフ電位に安定する時間t3を安易に長くすることは出来ない。しかるに、本実施の形態によれば、第1遮光膜11cにより走査線300aの抵抗を大幅に下げると共に時定数を大幅に下げるので、前段の走査線300aの電位がオフ電位に安定する時間も大幅に短縮される。このため、第n-1段目のゲートがオフされる前に第n段目のプリチャージが行われることや、第n-1段目の画像信号の電位に第n段目の走査線300aにおけるプリチャージの電位が引かれることはなくなる。これらの結果、液晶装置の駆動周波数を高めてプリチャージを行っても、前述の如き縦クロストーク(図28参照)は低減され、高品位の画像表示が行える。

【0124】(液晶装置の製造プロセス)次に以上のような構成を持つ液晶装置の製造プロセスとして、第1変形例を例として図15から図18及び図19から図22を参照して説明する。

【0125】尚、図15から図18は、液晶装置用基板の図9のD-D'断面に対応させて示す工程図であり、

図19から図22は、液晶装置用基板の図9のE-E'断面に対応させて示す工程図である。

【0126】また、前述した液晶装置の第1実施形態から第4実施形態の製造プロセスは、第1変形例における製造プロセスと比べて、工程(13)のコンタクトホール13を開孔しない点(図15参照)及び容量線3bの下に遮光膜を設けない点で異なり、他の工程については同じであるため、その説明は省略する。

【0127】図15及び図19の工程の(1)に夫々示すように、石英基板、ハードガラス等の液晶装置用基板10をN₂(窒素)等の不活性ガス雰囲気且つ約900~1300℃の高温でアニール処理し、後に実施される高温プロセスにおける液晶装置用基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に液晶装置用基板10を同じ温度かそれ以上の温度で熱処理しておく。

【0128】このように処理された液晶装置用基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタにより、1000~5000オングストローム程度の層厚、好ましくは約2000オングストロームの層厚の遮光膜11を形成する。

【0129】続いて、図15及び図19の工程の(2)に夫々示すように、該形成された遮光膜11上をパターニングすることにより、第1遮光膜11c及び第2遮光膜11a'''を形成する。

【0130】次に図15及び図19の工程(3)に夫々示すように、第1遮光膜11c及び第2遮光膜11a'''の上に、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜12を形成する。この第1層間絶縁膜12の層厚は、例えば、約5000~20000オングストロームとする。

【0131】次に図15及び図19の工程(4)に夫々示すように、第1層間絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、ポリシリコン膜1を約500~2000オングストロームの厚さ、好ましくは約1000オングストロームの厚さとなるまで固相成長させる。

【0132】この際、図10に示した画素スイッチング用TFT30として、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポ

リシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてポリシリコン膜 1 を形成しても良い。

【0133】次に図 15 及び図 19 の工程（5）に夫々示すように、図 7 に示した如き所定パターンのチャンネル領域 1 a' を含む半導体層 1 a を形成する。即ち、特にデータ線 6 a 下で容量線 3 b が形成される領域及びゲート電極 3 a に沿って容量線 3 b が形成される領域には、画素スイッチング用 TFT 30 を構成する半導体層 1 a から延設された第 1 蓄積容量電極（半導体層）1 f を形成する。

【0134】次に図 15 及び図 19 の工程（6）に夫々示すように、画素スイッチング用 TFT 30 を構成する半導体層 1 a と共に第 1 蓄積容量電極 1 f を約 900～1300℃の温度、好ましくは約 1000℃の温度により熱酸化することにより、約 300 オングストロームの比較的薄い厚さの熱酸化シリコン膜を形成し、更に減圧 CVD 法等により高温酸化シリコン膜（HTO 膜）や窒化シリコン膜を約 500 オングストロームの比較的薄い厚さに堆積し、多層構造を持つ画素スイッチング用 TFT 30 のゲート絶縁膜 2 と共に容量形成用の絶縁膜 2 を形成する。この結果、第 1 蓄積容量電極 1 f の厚さは、約 300～1500 オングストロームの厚さ、好ましくは約 350～500 オングストロームの厚さとなり、ゲート絶縁膜 2 の厚さは、約 200～1500 オングストロームの厚さ、好ましくは約 300～1000 オングストロームの厚さとなる。

【0135】尚、図 15 の工程（6）において特に限定されないが、第 1 蓄積容量電極 1 f となる半導体層部分に、例えば、リン（P）イオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、低抵抗化させてもよい。

【0136】次に、図 15 及び図 19 の工程（7）に夫々示すように、第 1 層間絶縁膜 12 に第 2 遮光配線 11 a に至るコンタクトホール 13 及び第 1 遮光膜 11 c に至るコンタクトホール 18 を形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール 13 及び 18 等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール 13 及び 18 等をテーパー状にできるので、配線接続時の断線を防止できるという利点を得られる。

【0137】次に図 15 及び図 19 の工程（8）に夫々示すように、ポリシリコン層 3 を堆積した後、リン

（P）を熱拡散し、ポリシリコン膜 3 を導電化する。又は、P イオンをポリシリコン膜 3 の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0138】次に、図 16 及び図 20 の工程（9）に夫々示すように、図 9 に示した如き所定パターンのゲート

電極 3 a と共に容量線 3 b を形成する。これらのゲート電極 3 a 及び容量線 3 b の膜厚は夫々、例えば、約 3500 オングストロームとされる。

【0139】次に図 16 及び図 20 の工程（10）に夫々示すように、図 11 に示した画素スイッチング用 TFT 30 を LDD 構造を持つ n チャネル型の TFT とする場合、半導体層 1 a に、先ず低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を形成するために、ゲート電極 3 a を拡散マスクとして、P（リン）などの V 族元素のドーパント 60 を低濃度で（例えば、P イオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて）ドーピングする。これによりゲート電極 3 a 下の半導体層 1 a はチャンネル領域 1 a' となる。この不純物のドーピングにより容量線 3 b 及びゲート電極 3 a も低抵抗化される。

【0140】続いて、図 16 及び図 20 の工程（11）に夫々示すように、画素スイッチング用 TFT 30 を構成する高濃度ソース領域 1 b 及び高濃度ドレイン領域 1 c を形成するために、ゲート電極 3 a よりも幅の広いマスクでレジスト層 62 をゲート電極 3 a 上に形成した後、同じく P などの V 族元素のドーパント 61 を高濃度で（例えば、P イオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造の TFT としてもよく、ゲート電極 3 a をマスクとして、P イオン等を用いたイオン注入技術によりセルフアライン型の TFT としてもよい。

【0141】不純物のドーピングにより容量線 3 b 及びゲート電極 3 a も更に低抵抗化される。

【0142】また、工程（10）及び工程（11）を再度繰り返して、B（ボロン）イオンなどの III 族元素のドーパントを行うことにより、p チャネル型 TFT を形成することができる。これにより、n チャネル型 TFT 及び p チャネル型 TFT から構成される相補型構造を持つデータ線駆動回路 101 及び走査線駆動回路 104 を液晶装置用基板 10 上の周辺部に形成することが可能となる。このように、本実施の形態においては、画素スイッチング用 TFT 30 の半導体層をポリシリコンで形成するので、画素スイッチング用 TFT 30 の形成時にほぼ同一工程で、データ線駆動回路 101 及び走査線駆動回路 104 を形成することができ、製造上有利である。

【0143】次に図 16 及び図 20 の工程（12）に夫々示すように、画素スイッチング用 TFT 30 におけるゲート電極 3 a と共に容量線 3 b 及びゲート電極 3 a を覆うように、NSG、PSG、BSG、BPSG などのシラケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。第 2 層間絶縁膜 4 の層厚は、約 5000～15000 オングストロームが好ましい。

【0144】次に図 16 の工程（13）に夫々示すように、高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e

を活性化するために約 1000℃ のアニール処理を 20 分程度行った後、データ線 31 に対するコンタクトホール 5 を形成する。また、ゲート電極 3a や容量線 3b を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 2 層間絶縁膜 4 に開孔する。

【0145】次に図 17 及び図 21 の工程 (14) に夫々示すように、第 2 層間絶縁膜 4 の上に、遮光性の A1 等の低抵抗金属や金属シリサイド等を金属膜 6 として、約 1000~5000 オングストロームの厚さ、好ましくは約 3000 オングストロームに堆積し、更に図 16 及び図 20 の工程 (15) に夫々示すように、データ線 6a を形成する。

【0146】次に図 17 及び図 21 の工程 (16) に夫々示すように、データ線 6a (ソース電極) 上を覆うように、例えば、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 7 を形成する。第 3 層間絶縁膜 7 の層厚は、約 5000~15000 オングストロームが好ましい。

【0147】次に図 18 の工程 (17) に示すように、画素スイッチング用 TFT 30 において、画素電極 9a と高濃度ドレイン領域 1e とを電氣的接続するためのコンタクトホール 8 を形成する。

【0148】次に図 17 及び図 21 の工程 (18) に夫々示すように、第 3 層間絶縁膜 7 の上に、ITO 膜等の透明導電性薄膜 9 を、約 500~2000 オングストロームの厚さに堆積し、更に図 16 及び図 20 の工程 (19) に夫々示すように、画素電極 9a を形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、A1 等の反射率の高い不透明な材料から画素電極 9a を形成してもよい。

【0149】続いて、画素電極 9a の上にポリイミド系の配向膜の塗布液を塗布した後、ラビング処理を施すこと等により、配向膜 16 (図 10 参照) が形成される。

【0150】他方、図 10 に示した対向基板 20 については、ガラス基板等が先ず用意され、画素毎に形成された第 3 遮光膜 23、及び後述のように画像表示領域と該画像表示領域外とを仕切るための周辺見切りとしての第 4 遮光膜 (図 22 及び図 23 参照) が、例えば金属クロムをスパッタした後、パターニングされる。尚、第 3 遮光膜 23 及び第 4 遮光膜 53 は、Cr、Ni、Al などの金属材料の他、カーボンや Ti をフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【0151】その後、対向基板 20 の全面に ITO 等の透明導電性薄膜を、約 500~2000 オングストロームの厚さに堆積することにより、対向電極 21 を形成する。更に、対向電極 21 上に配向膜 22 (図 10 参照) が形成される。

【0152】最後に、上述のように各層が形成された液

晶装置用基板 10 と対向基板 20 とは、配向膜 16 及び 22 (図 10 参照) が対面するようにシール材により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層 50 が形成される。

【0153】以上により、図 9 に示した液晶装置の第 1 変形例が製造される。

【0154】(液晶装置の全体構成) 以上のように構成された液晶装置の各実施の形態の全体構成を図 23 及び図 24 を参照して説明する。尚、図 23 は、液晶装置用基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 24 は、対向基板 20 を含めて示す図 23 の H-H' 断面図である。

【0155】図 23 において、液晶装置用基板 10 の上には、シール材 52 がその縁に沿って設けられており、その内側に並行して、前述のように周辺見切りとしての、例えば第 3 遮光膜 23 と同じ或いは異なる材料から成る遮光性の第 4 遮光膜 53 が設けられている。シール材 52 の外側の領域には、データ線駆動回路 101 及び実装端子 102 が液晶装置用基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。ゲート電極 3a に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線 6a は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6a を歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更に液晶装置用基板 10 の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1箇所においては、液晶装置用基板 10 と対向基板 20 との間で電氣的導通をとるための導通材 106 が設けられている。そして、図 24 に示すように、図 23 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により液晶装置用基板 10 に固着されている。

【0156】以上説明した各実施の形態における液晶装置は、カラー液晶プロジェクトに適用されるため、3枚の液晶装置が RGB 用のライトバルブとして各々用いられ、各パネルには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板 20 に、カラーフィルタは設けられていない。しかしながら、第 3 遮光膜 23 の形成されていない画素電

極 9 a に対向する所定領域に RGB のカラーフィルタをその保護膜と共に、対向基板 20 上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施の形態における液晶装置を適用できる。更に、対向基板 20 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0157】以上説明した各実施の形態における液晶装置では、従来と同様に入射光を対向基板 20 の側から入射することとしたが、画素スイッチング TFT の下側に遮光膜を設けているので、液晶装置用基板 10 の側から入射光を入射し、対向基板 20 の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層 1 a のチャネル領域 1 a' 及び LDD 領域 1 b、1 c に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、液晶装置用基板 10 の裏面側での反射を防止するために、反射防止用の AR 被膜された偏光板を別途配置したり、AR フィルムを貼り付ける必要があった。しかし、各実施の形態では、液晶装置用基板 10 の表面と半導体層 1 a の少なくともチャネル領域 1 a' 及び LDD 領域 1 b、1 c との間に遮光膜が形成されているため、このような AR 被膜された偏光板や AR フィルムを用いたり、液晶装置用基板 10 そのものを AR 処理した基板を使用する必要がなくなる。従って、各実施の形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0158】（電子機器）次に、以上詳細に説明した各実施の形態における液晶装置を備えた電子機器実施形態について図 25 から図 27 を参照して説明する。

【0159】先ず図 25 に、上述の各実施の形態における液晶装置に等しく構成された液晶装置 100 を備えた電子機器の概略構成を示す。

【0160】図 25 において、電子機器は、表示情報出力源 1000、表示情報処理回路 1002、駆動回路 1004、液晶装置 100、クロック発生回路 1008 並びに電源回路 1010 を備えて構成されている。表示情報出力源 1000 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含

み、クロック発生回路 1008 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1002 に出力する。表示情報処理回路 1002 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、液晶装置 100 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、液晶装置 100 を構成する液晶装置用基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載してもよい。

【0161】次に図 26 及び図 27 に、このように構成された電子機器の具体例を各々示す。

【0162】図 26 において、電子機器の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が液晶装置用基板上に搭載された液晶装置 100 を含む液晶モジュールを 3 個用意し、各々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に各々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B により各々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

【0163】本実施の形態では特に、遮光膜が TFT の下側にも設けられているため、当該液晶装置 100 からの投射光に基づく液晶プロジェクタ内の投射光学系による反射光、投射光が通過する際の液晶装置用基板の表面からの反射光、他の液晶装置から出射した後にダイクロイックプリズム 1112 を突き抜けてくる投射光の一部等が、戻り光として液晶装置用基板の側から入射しても、画素電極のスイッチング用の TFT 等のチャネル領域に対する遮光を十分に行うことができる。このため、小型化に適したプリズムを投射光学系に用いても、各液晶装置の液晶装置用基板とプリズムとの間において、戻り光防止用の AR (Anti-Reflection) フィルムを貼り付けたり、偏光板に AR 被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0164】さらに、本実施形態は、遮光膜によりチャネル領域への戻り光を防ぐことができるため、液晶装置に戻り光防止処理を施した偏光板を直接貼り付けず、偏光板を液晶装置から離して形成するようにしてもよい。より具体的には、一方の偏光板（図示せず）をダイクロイックプリズム1112に貼り付けることが可能である。このように、偏光板をプリズムユニットに貼り付けることにより、偏光板の熱は、プリズムユニットあるいはレンズで吸収されるため、液晶装置の温度上昇を防ぐことができる。また、このような構成の場合、液晶装置と偏光板との間を離して形成することができるため、液晶装置と偏光板の間には空気層ができる。そこでプリズムユニットの上側あるいは下側の一方に冷却手段（図示せず）を設け、冷却手段から液晶装置と偏光手段との間に冷風等の送風を送り込むことにより、液晶装置の温度上昇をさらに防ぐことができ、液晶装置の温度上昇による誤動作を防ぐことができる。

【0165】図27において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（PC）1200は、上述した液晶装置100がトップカバーケース内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0166】以上図26及び図27を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（EWS）、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図25に示した電子機器の例として挙げられる。

【0167】以上説明したように、本実施の形態によれば、信頼性が高く、縦クロストーク（図28参照）、横クロストークやゴースト等（図29参照）の表示劣化が低減されており且つ戻り光等に対する遮光性能に優れた液晶装置により高品位の画像表示が可能な各種の電子機器を実現できる。

【図面の簡単な説明】

【図1】第1実施形態における画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のB-B'断面図である。

【図5】第2実施形態の相隣接する複数の画素群の平面図である。

【図6】図5のC-C'断面図である。

【図7】第3実施形態の相隣接する複数の画素群の平面図である。

【図8】第4実施形態の相隣接する複数の画素群の平面図である。

【図9】第1実施形態の第1変形例における相隣接する複数の画素群の平面図である。

【図10】図9のD-D'断面図である。

【図11】第2実施形態の第2変形例における相隣接する複数の画素群の平面図である。

【図12】第5実施形態の相隣接する複数の画素群の平面図である。

10 【図13】液晶装置の実施形態における液晶装置用基板上の周辺回路を示すブロック図である。

【図14】プリチャージに係わる各種信号のタイミングチャートである。

【図15】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のD-D'断面部分について順を追って示す工程図（その1）である。

【図16】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のD-D'断面部分について順を追って示す工程図（その2）である。

20 【図17】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のD-D'断面部分について順を追って示す工程図（その3）である。

【図18】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のD-D'断面部分について順を追って示す工程図（その4）である。

【図19】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のE-E'断面部分について順を追って示す工程図（その1）である。

30 【図20】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のE-E'断面部分について順を追って示す工程図（その2）である。

【図21】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のE-E'断面部分について順を追って示す工程図（その3）である。

【図22】液晶装置の第1実施形態の第1変形例の製造プロセスを図9のE-E'断面部分について順を追って示す工程図（その4）である。

40 【図23】液晶装置の各実施の形態における液晶装置用基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図24】図22のH-H'断面図である。

【図25】本発明による電子機器実施形態の概略構成を示すブロック図である。

【図26】電子機器の一例としての液晶プロジェクタを示す断面図である。

【図27】電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図28】縦クロストークによる表示劣化を説明するための概念図である。

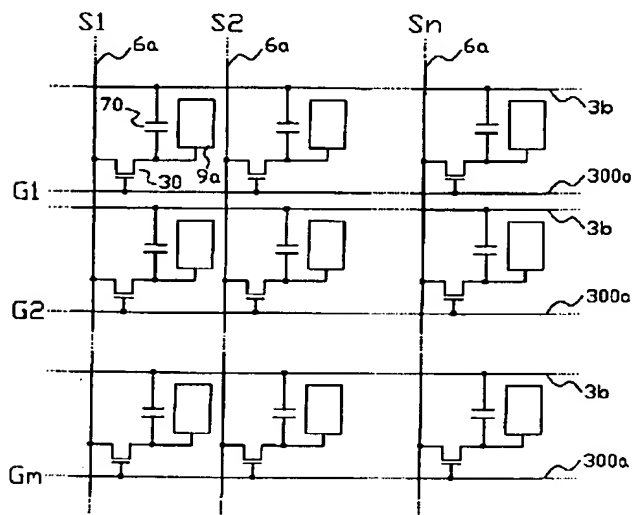
50 【図29】横クロストークによる表示劣化を説明するた

めの概念図である。

【符号の説明】

- 1 a … 半導体層
- 1 a' … チャネル領域
- 1 b … 低濃度ソース領域（ソース側LDD領域）
- 1 c … 低濃度ドレイン領域（ドレイン側LDD領域）
- 1 d … 高濃度ソース領域
- 1 e … 高濃度ドレイン領域
- 1 f ~ 1 f' … 第1蓄積容量電極
- 2 … ゲート絶縁膜
- 3 a … ゲート電極
- 3 b、3 b' … 容量線（第2蓄積容量電極）
- 4 … 第2層間絶縁膜
- 5 … コンタクトホール
- 6 a … データ線（ソース電極）
- 6 b … 定電位線
- 7 … 第3層間絶縁膜
- 8 ~ 8' … コンタクトホール
- 9 a … 画素電極
- 10 … 液晶装置用基板
- 11 a、11 a'、11 a''、11 a'''、11 d … 第2

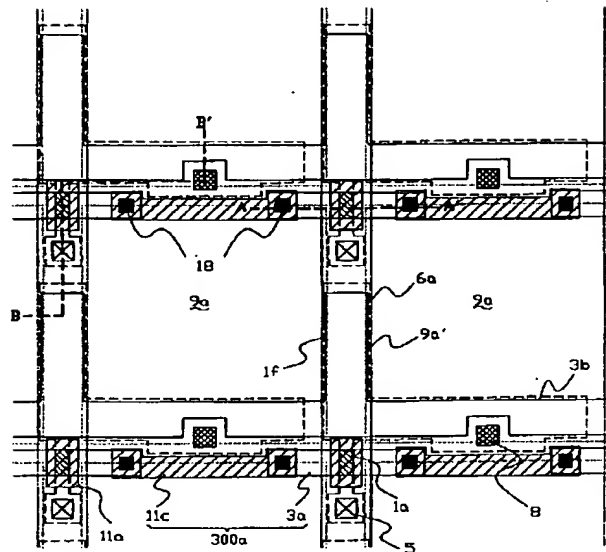
【図1】



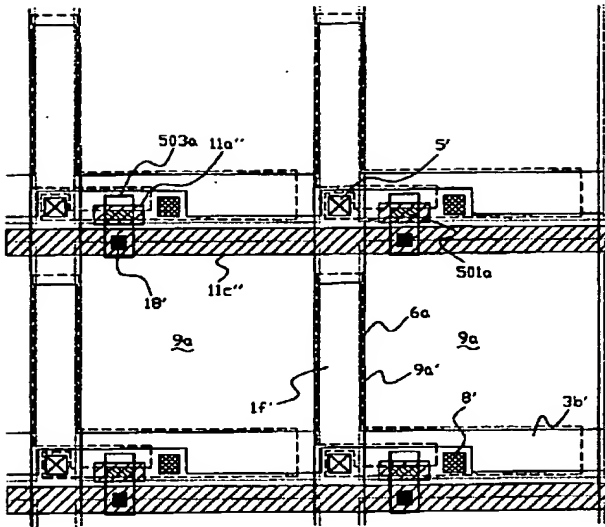
遮光膜

- 11 c、11 c'、11 c''、11 e … 第1遮光膜
- 12 … 第1層間絶縁膜
- 13 … コンタクトホール
- 18 … コンタクトホール
- 20 … 対向基板
- 21 … 対向電極
- 23 … 第3遮光膜
- 30 … TFT
- 10 50 … 液晶層
- 52 … シール材
- 53 … 第4遮光膜
- 70 … 蓄積容量
- 101 … データ線駆動回路
- 104 … 走査線駆動回路
- 201 … プリチャージ回路
- 301 … サンプルング回路
- 300 a ~ 300 e … 走査線
- 501 … 半導体膜
- 20 503 a … ゲート電極
- 504 … 第2蓄積容量電極

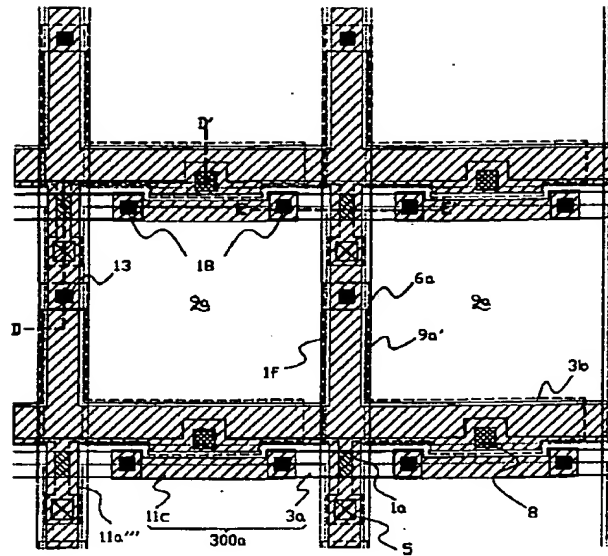
【図2】



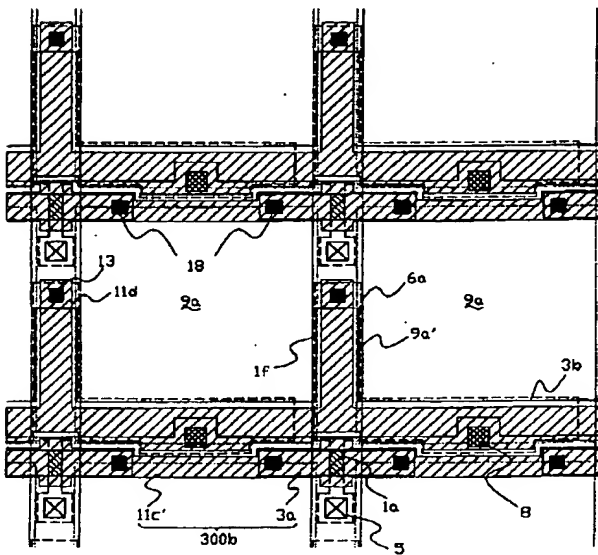
【図 8】



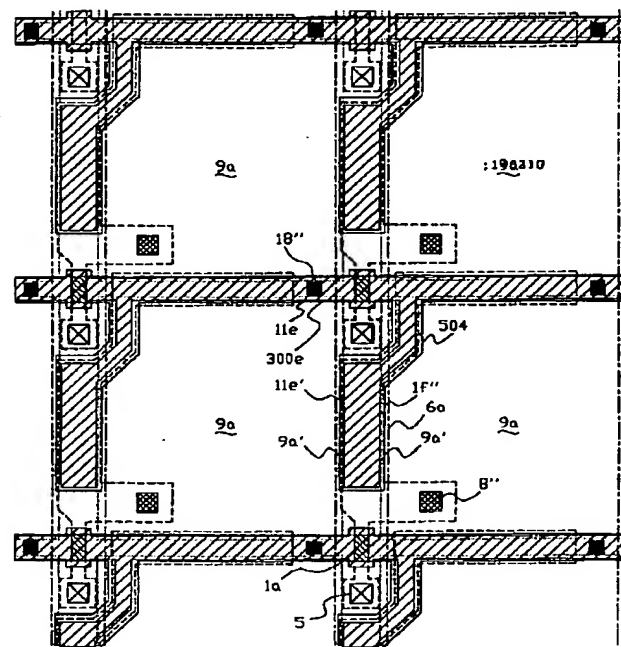
【図 9】



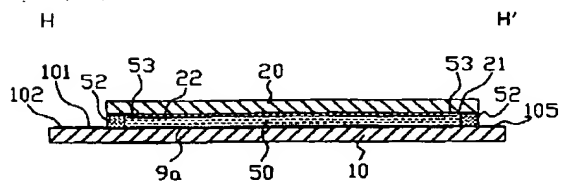
【図 11】



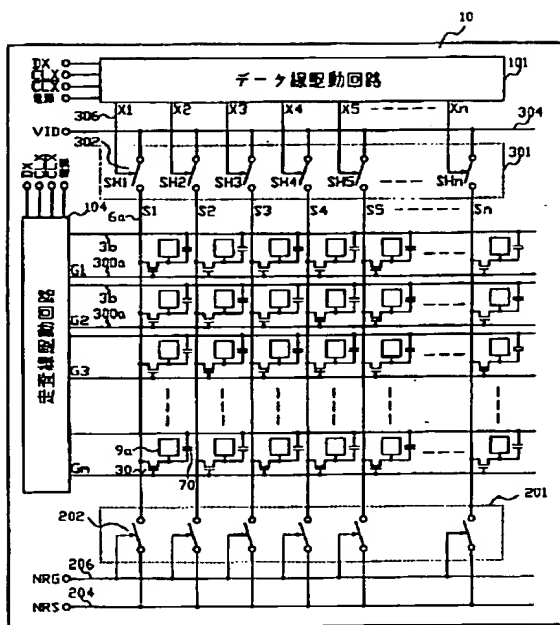
【図 12】



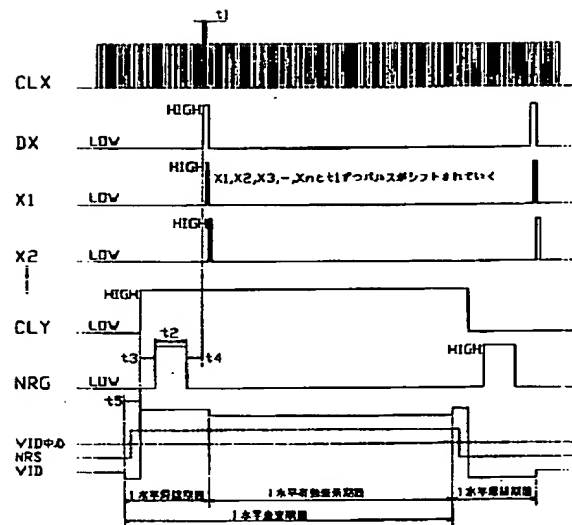
【図 24】



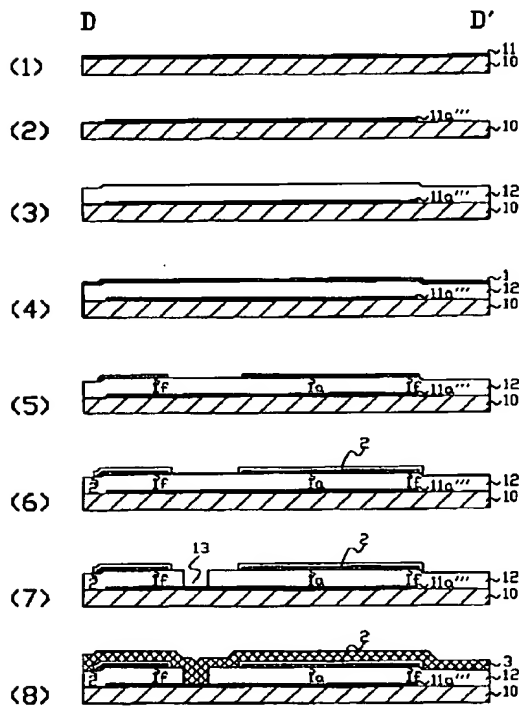
【図 13】



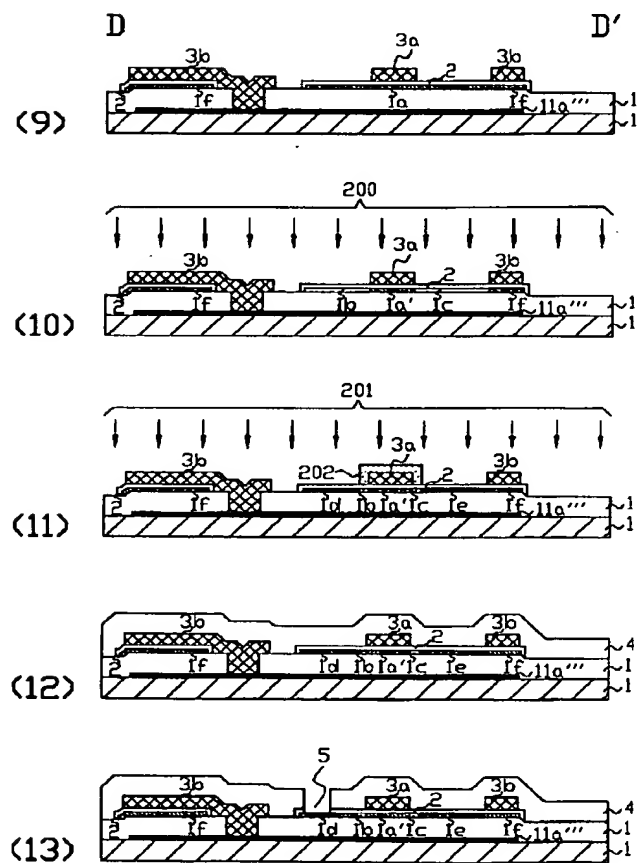
【図 14】



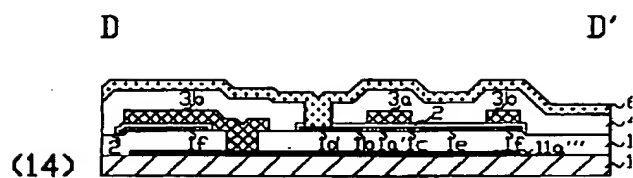
【図 15】



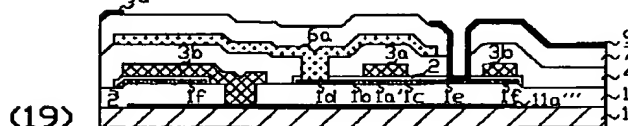
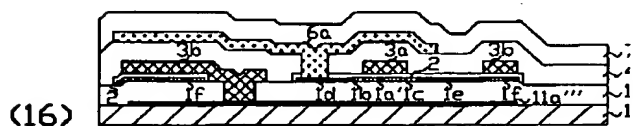
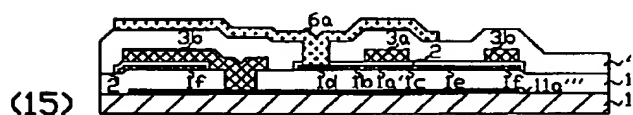
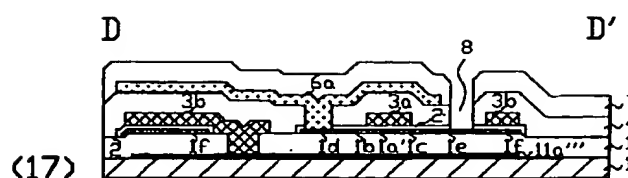
【図 16】



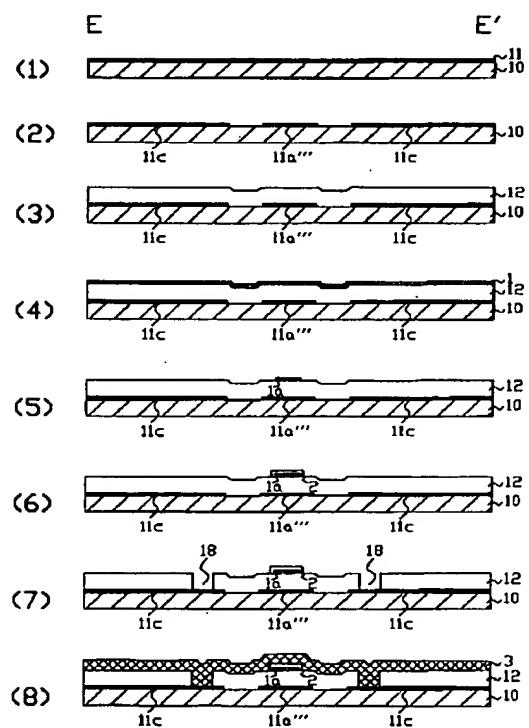
【図 17】



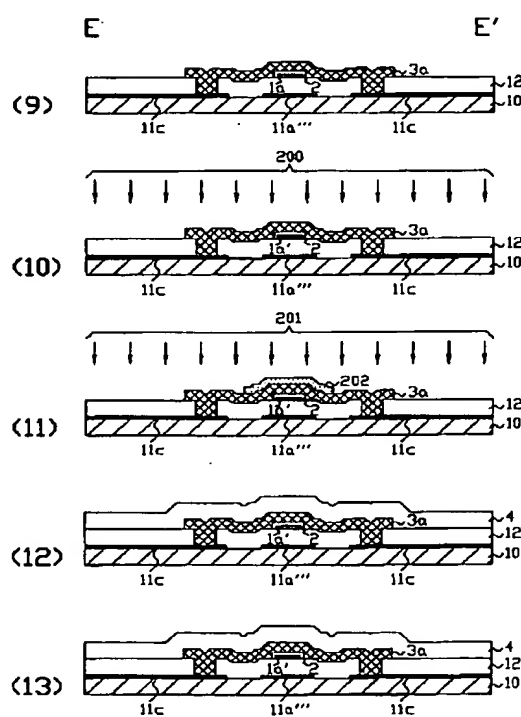
【図 18】



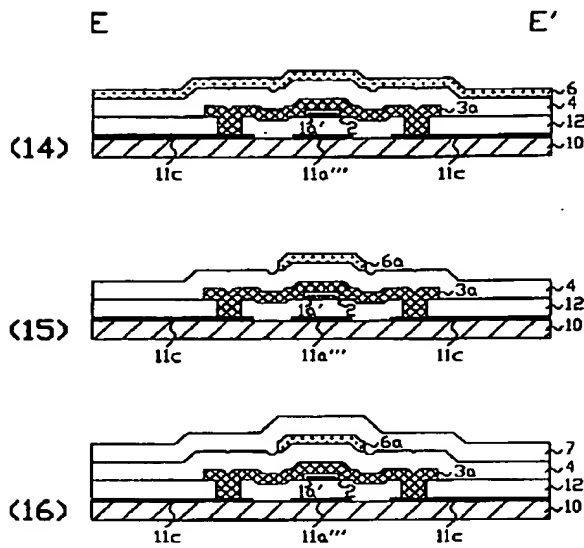
【図 19】



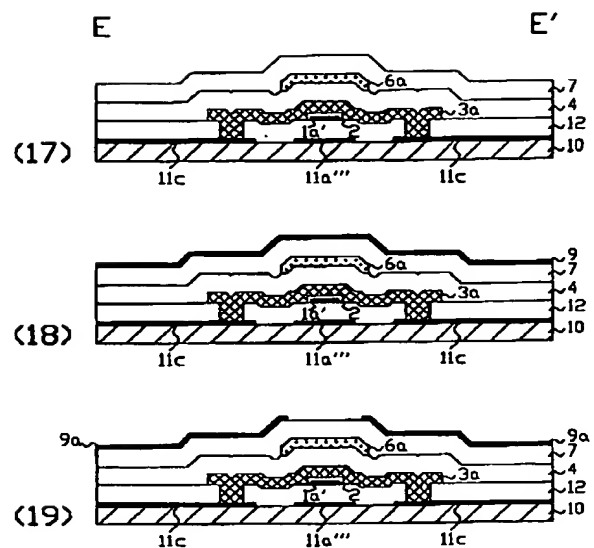
【図 20】



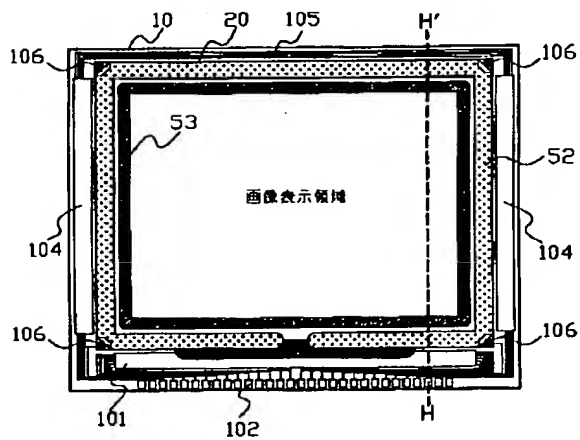
【図 21】



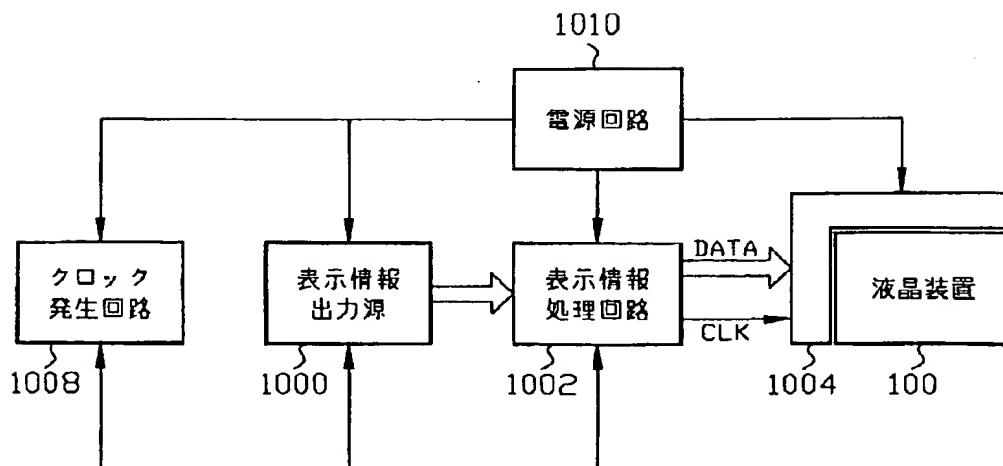
【図 22】



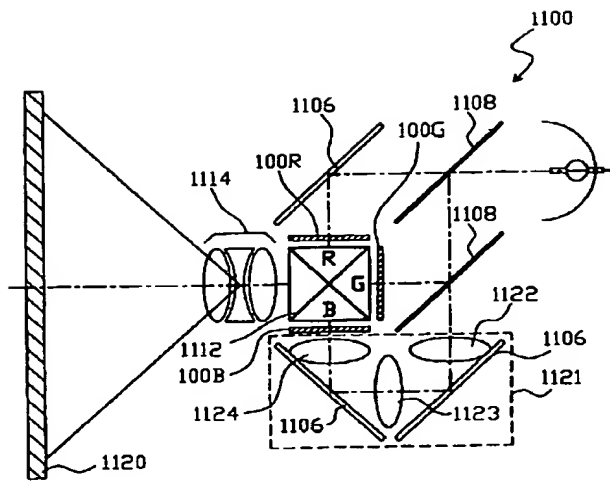
【図 23】



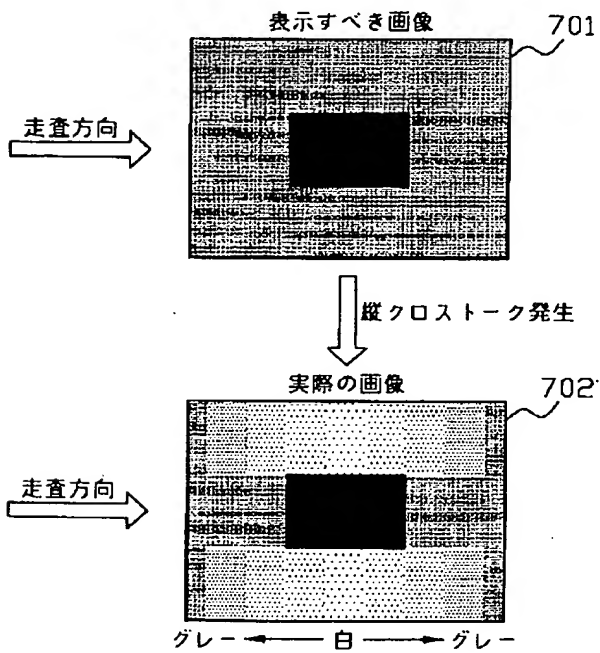
【図 25】



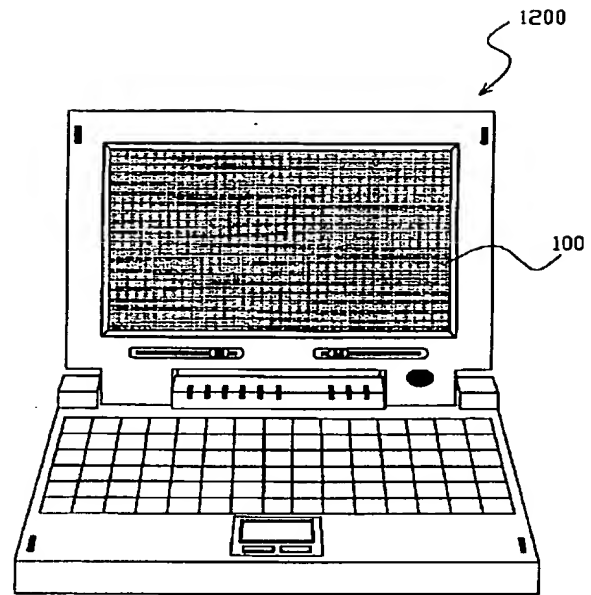
【図 26】



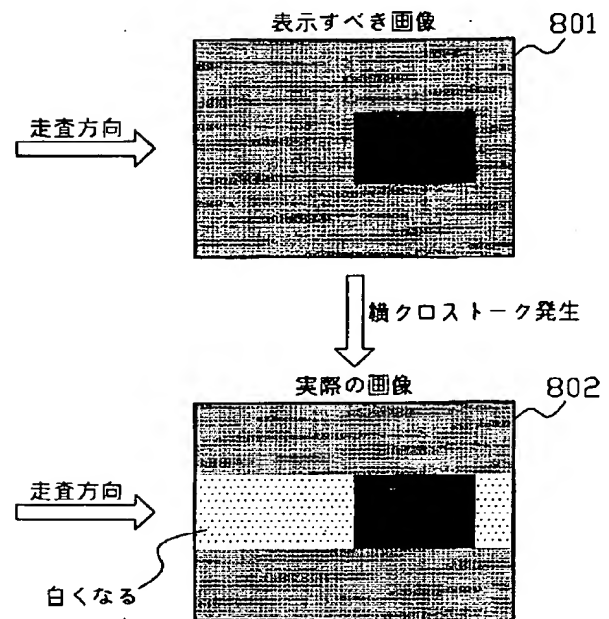
【図 28】



【図 27】



【図 29】



フロントページの続き

Fターム(参考) 2H091 FA34Y FB08 FC02 FC26
FC29 FD04 FD12 FD23 GA03
GA11 GA13 HA07 LA12 LA13
LA18 MA07
2H092 JA25 JA29 JA33 JA35 JA36
JA38 JA42 JA43 JA44 JA46
JB01 JB13 JB23 JB27 JB32
JB36 JB38 JB53 JB54 JB56
JB63 JB69 KA04 KA07 KA12
KA16 KA18 KA22 KB05 KB14
KB23 KB25 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA25 MA27 MA31 MA34 MA35
MA37 MA41 NA01 NA22 NA25
NA27 NA28 PA06 PA09 QA07
RA05

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**